

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年1月24日 (24.01.2002)

PCT

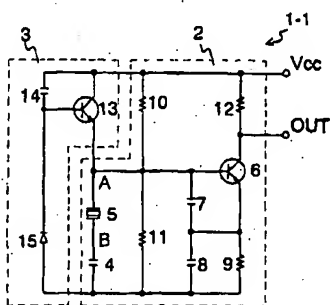
(10) 国際公開番号
WO 02/07302 A1

- (51) 国際特許分類: H03B 5/32 (71) 出願人 (米国を除く全ての指定国について): 東洋通信機株式会社 (TOYO COMMUNICATION EQUIPMENT CO., LTD.) [JP/JP]; 〒253-0192 神奈川県高座郡寒川町小谷二丁目1番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP01/06161 (72) 発明者: 足立武彦 (ADACHI, Takehiko) [JP/JP]; 〒232-0056 神奈川県横浜市南区通町4-113 Kanagawa (JP).
- (22) 国際出願日: 2001年7月17日 (17.07.2001) (71) 出願人 および
- (25) 国際出願の言語: 日本語 (72) 発明者: 足立武彦 (ADACHI, Takehiko) [JP/JP]; 〒232-0056 神奈川県横浜市南区通町4-113 Kanagawa (JP).
- (26) 国際公開の言語: 日本語 (72) 発明者; および
- (30) 優先権データ: (75) 発明者/出願人 (米国についてのみ): 泉谷昭二 (IZUMIYA, Shoji) [JP/JP]; 〒241-0826 神奈川県横浜市旭区東希望が丘91-5-A-1 Kanagawa (JP). 内山敏一 (UCHIYAMA, Toshikazu) [JP/JP]. 高梨 仁 (TAKANASHI, Hitoshi) [JP/JP]. 石川匡亨 (ISHIKAWA, Masayuki) [JP/JP]. 保坂公司 (HOSAKA, Koji) [JP/JP]. 田村智博 (TAMURA, Tomohiro) [JP/JP]. 老沼雄一 (OINUMA, Yuuichi) [JP/JP]; 〒253-0192 神奈川県高

[続葉有]

(54) Title: PIEZOELECTRIC OSCILLATOR

(54) 発明の名称: 圧電発振器



(57) Abstract: A piezoelectric oscillator comprising a piezoelectric vibrator and an amplifying circuit, wherein an instantaneous voltage supply means is provided for applying a specified-level, start prompting voltage to the piezoelectric vibrator a specified period of time after the application of a power supply voltage to thereby shorten a starting time required for the piezoelectric oscillator to move from a non-operating status to an oscillation operating status as well as cut off a start prompting voltage supply a specified time later, whereby delivering effects of improved phase noise characteristics and frequency stability characteristics.

(57) 要約:

圧電振動子と、増幅回路とを備えた圧電発振器であり、電源電圧を印加してから所要期間だけ圧電振動子に所定レベルの起動促進用の電圧を印加する為の瞬時電圧供給手段を設けたことにより、圧電発振器が非動作状態から発振動作状態となるまでに必要とする起動時間が短縮することとは勿論、所定時間経過後、起動促進用の電圧の供給が断たれるので、位相雑音特性及び周波数安定度特性に優れたものとなるという効果を奏する。

WO 02/07302 A1



座郡寒川町小谷二丁目1番1号 東洋通信機株式会社
内 Kanagawa (JP).

(84) 指定国 (広域): ヨーロッパ特許 (CH, FI, NL).

(74) 代理人: 弁理士 鈴木 均 (SUZUKI, Hitoshi); 〒
164-0001 東京都中野区中野2-28-1 中野JMビル5階
Tokyo (JP).

添付公開書類:

— 国際調査報告書

(81) 指定国 (国内): CN, JP, KR, US.

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

圧電発振器

5 技術分野

本発明は、圧電発振器に関し、特に非動作状態から発振動作状態となるまでの起動時間を短縮した圧電発振器に関する。

背景技術

10 携帯電話は長時間の連続使用ができるように基準発信源として使用している水晶発振器を間欠的に動作させて低消費電力化を図っている。

このように間欠動作させる水晶発振器にあっては駆動開始から所望の出力信号を発振するまでに要する起動時間が短時間であることが望まれており、特願平 8-51017 号公報に示すような構成のものが実用化

15 されている。

図 38 は上記公報に記載されている起動特性を改善した従来水晶発振器の例を示す回路図である。

同図に示す水晶発振器 100 は、典型的なコルピッツ型水晶発振器であるが、トランジスタ 101 のベースに容量 102 を介して接続した水晶振動子 103 の他方端を電源電圧 V_{cc} ラインに接続するよう構成したところが特徴であり、通常、電源電圧 V_{cc} ラインを比較的大きな値の容量 104 を介して接地されているので、水晶振動子 103 の他方端は電源電圧 V_{cc} ラインを介して接地されることになる。

20 尚、抵抗 105 及び抵抗 106 はベースバイアス回路であり、107 はエミッタ抵抗であり、容量 108 及び容量 109 は負荷容量の一部を担うものである。

このような構成によれば、電源電圧 V_{cc} を印加した直後に電源電圧 V_{cc} と同等の電圧レベルの電圧がパルス波的に水晶振動子 103 に印加されることになるので、これにより水晶振動子 103 が高い振動レベルにて揺動し、結果的に発振信号が所要のレベルに達するまでの起動時間が短時間なものとなる。

しかしながら、上記のような構成の水晶発振器では、電源電圧 V_{cc} ラインが発振ループの一部として含まれる為、電源電圧に含まれるノイズや電源電圧 V_{cc} ラインを介して混入するノイズが水晶振動子 103 に直接印加されることになるので、その影響により位相雑音特性が悪化する虞があった。

即ち、上記のような構成の水晶発振器 100 は、電源電圧 V_{cc} ラインと接地との間に介在する容量 104 がバイパスコンデンサとしての役目を兼ねてはいるものの、一般に、電源電圧及び電源電圧 V_{cc} ラインの無数の個所から混入するノイズを完全に除去することは、バイパスコンデンサを複数設けたとしても不可能である。

従って、このノイズ信号は、発振信号と共に発振回路に備えた増幅回路により増幅された後、出力されてしまうので水晶発振器 100 の位相雑音特性を悪化させてしまうのである。

そして、このような水晶発振器の出力信号をデジタル処理に用いた場合、出力信号に混在したノイズ信号によってデータ処理の際にビットエラーが発生してしまうという問題が生じる場合がある。

更には、当該発振器を携帯電話機等に組み込んだ際、電源電圧 V_{cc} ラインに接続される他の回路等の浮遊容量が発振ループに含まれることになり、設定周波数が変動してしまうという問題が生じる場合があった。

即ち、発振回路の負荷容量には、上記水晶発振器 100 を構成する電子部品と配線パターンによる容量の他に水晶発振器 100 が搭載される

装置側の電源電圧 V_{cc} ラインに接続されたバイパスコンデンサ、及び、浮遊容量が含まれるので、水晶発振器 100 の出力周波数の調整を行う際には、これらの値を予め想定した状態にて設定する必要が生じる。

しかし、このような調整方法は、水晶発振器が搭載される装置に使用
5 されたバイパスコンデンサの値が機種によって異なる場合が多く、その為、それぞれの装置に対応するよう水晶発振器の調整条件を変更しなければならないので、当該発振器を組み込む機器の生産効率性を低下させる要因にもなる。

本発明は圧電発振回路の上記諸問題を解決する為になされたものであ
10 って起動特性に優れ、位相雑音特性、及び、周波数安定度を劣化することなく起動特性を改善した水晶発振器を提供することを目的としている。

発明の開示

上記課題を解決する為に本発明に係わる請求項 1 記載の発明は、圧電
15 振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が NPN 型トランジスタを電源電圧 V_{cc} ラインと前記圧電振動子の一端の間に順方向接続し、前記電源電圧 V_{cc} ラインと前記 NPN 型トランジスタのベースとの間に容量を挿入接続した構成であり、電源電圧 V_{cc} 投入後所定時間前記 NPN 型トランジスタを介して前記電源電圧 V_{cc} ライン
20 から圧電振動子に起動促進用電圧を印加することを特徴とする。

請求項 2 記載の発明は、圧電振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が第一の NPN 型トランジスタを電源電圧 V_{cc} ラインと前記圧電振動子の一端の間に順方向接続し、前記第一の NPN 型トランジスタのベースとエミッタとの間に抵抗を挿入接続し、前記電
25 源電圧 V_{cc} ラインと前記第一の NPN 型トランジスタのベースとの間に第二の NPN 型トランジスタを順方向接続し、電源電圧 V_{cc} ラインと該

第二の NPN 型トランジスタのベースとの間に容量を挿入接続した構成であり、電源電圧 V_{cc} 投入後所定時間前記第一の NPN 型トランジスタを介して前記電源電圧 V_{cc} ラインから圧電振動子に起動促進用電圧を印加することを特徴とする。

- 5 請求項 3 記載の発明は、圧電振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が PNP 型トランジスタを電源電圧 V_{cc} ラインと前記圧電振動子の一端の間に順方向接続し、接地と前記 PNP 型トランジスタのベースとの間に容量及びダイオードから成る並列回路を挿入接続した構成であり、電源電圧 V_{cc} 投入後所定時間前記 PNP 型トランジスタを介して前記電源電圧 V_{cc} ラインから圧電振動子に起動促進用電圧を印加することを特徴とする。

- 請求項 4 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

- 請求項 5 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタスイッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路とを備えたものであり、該分圧回路の分圧比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御しことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

請求項 6 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子

の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量
5 を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを
10 特徴とする。

請求項 7 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧
15 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc}
20 の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

請求項 8 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタスイッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路と、
25 前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第

二のトランジスタスイッチを備えたものであり、該分圧回路の分圧比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御しことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

- 5 請求項 9 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、
- 10 圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記 PNP 型トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備えたものであり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、
- 15 前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

- 請求項 10 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、
- 20 圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備えたものであり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅
- 25

延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする。

- 請求項 1 1 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする。

- 請求項 1 2 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に

該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする。

請求項 1 3 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記 PNP 型トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備え、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする。

請求項 1 4 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備え、前記第一の容量と前記第二の容量との容

量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングと
5 ほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする。

請求項 15 記載の発明は、圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタス
10 イッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路とを備えたものであり、該分圧回路が容量と抵抗とから成る直列回路を備え、該直列回路の時定数に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御しことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特
15 徴とする。

請求項 16 記載の発明は、圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記発振用トランジスタのコレクタ電流を増加させるよう制御することにより、前記圧電発振器の起動時間が
20 短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 17 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電
25 発振器であり、前記高速起動用回路によって電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを減少させる

よう制御することにより、前記圧電発振器の起動時間を短縮したことを特徴とする。

請求項 18 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路を備えたものであり、該スイッチ回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することをにより、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする。

- 10 請求項 19 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、該スイッチ制御回路が容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することにより、電
- 15 源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする。

- 請求項 20 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電
- 20 発振器であり、前記高速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路が第二のトランジスタを備えたものであり、該第二のトランジスタのコレクタ・エミッタ間に前記発振用トランジスタのエミッタ抵抗を挿入接続し、該スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのベース
- 25 と電源電圧 V_{cc} ラインとを容量を介して接続し、第三のトランジスタのコレクタと電源電圧 V_{cc} ラインとを接続すると共に、前記第三のトラン

ジスタのコレクタと前記第二のトランジスタのベースとを抵抗を介して接続するよう構成し、前記容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することにより、電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の
5 両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする。

請求項 2 1 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路が第二のトランジスタを備
10 えたものであり、該第二のトランジスタのコレクタと前記発振用トランジスタのエミッタとを抵抗を介して接続し、前記第二のトランジスタのコレクタ・エミッタ間に前記発振用トランジスタのエミッタ抵抗を挿入接続し、該スイッチ制御回路が第三のトランジスタを備えると共に、該
15 第三のトランジスタのベースと電源電圧 V_{cc} ラインとを容量を介して接続し、第三のトランジスタのコレクタと電源電圧 V_{cc} ラインとを接続すると共に、前記第三のトランジスタのコレクタと前記第二のトランジスタのベースとを抵抗を介して接続するよう構成し、前記容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することによ
20 り、電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする。

請求項 2 2 記載の発明は、圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電
25 圧 V_{cc} の投入後から所要の間だけ前記発振用トランジスタのコレクタの電位を上昇させコレクタ電流を増加させるよう制御することにより、圧

電振動子を強励振刺せ前記圧電発振器の起動時間を短縮し、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

- 5 請求項 2 3 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、電源電圧 V_{cc} の投入から所要の間だけ前記高速起動用回路が前記第二のトランジスタのコレクタ電位をあげるよう制御することにより、前記発振用トランジスタのコレクタ電位が上がり、これに伴う前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする。

- 15 請求項 2 4 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路を備え、該スイッチ回路が電源電圧 V_{cc} の投入から所要の間だけ ON 動作することにより、該スイッチ回路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする。

- 20 請求項 2 5 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発

振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路とを備え、該スイッチ制御回路が容量を備えたものと共に、電源電圧 V_{cc} の投入から所要の間だけ該容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることによ

- 5 り、該スイッチ回路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されること
- 10 を特徴とする。

請求項 26 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路と

15 を備え、前記スイッチ回路が PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタまたは前記第二のトランジスタのコレクタに接続するよう構成したものであり、前記スイッチ制御回路が第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、

- 20 該第三のトランジスタのベースと電源電圧 V_{cc} ラインとを容量を介して接続し、該ベースを逆方向接続のダイオードを介して接地するよう構成したものであり、前記スイッチ制御回路が電源電圧 V_{cc} の投入から所要の間だけ前記容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることにより、該スイッチ回
- 25 路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続

して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする。

請求項 27 記載の発明は、圧電振動子と、発振用トランジスタと、該

- 5 発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路とを備え、前記スイッチ回路が PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタまたは前記第二のトランジスタのコレクタに接続するよう構成したものであり、前記スイッチ制御回路が第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、該第三のトランジスタのベースと電源電圧 V_{cc} ラインとを容量を介して接続し、前記第三のトランジスタのコレクタと電源電圧 V_{cc} とを抵抗を介して接続し、該ベースを逆方向接続のダイオードを介して接地するよう構成したものであり、前記スイッチ制御回路が電源電圧 V_{cc} の投入から所要の間だけ前記容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることにより、該スイッチ回路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする。

- 25 請求項 28 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回

路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 29 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 30 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つのスイッチ回路を備えたものであり、該スイッチ回路の一つが電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トラン

ジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

- 5 請求項 3 1 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つのスイッチ回路を備えたものであり、該スイッチ
- 10 回路の一つが電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下
- 15 げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

- 20 請求項 3 2 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つのスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ制御回路が容量を備えたものであると共に、該容量に電荷がチャージ
- 25 される際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御するものであり、前記スイッチ回路の一つが電源電圧

Vcc の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

- 請求項 3 3 記載の発明は、圧電振動子と、発振用トランジスタと、該
- 10 発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つのスイッチ回路を備えたものであり、前記スイッチ制御回路が容量を備えたものであると共に、該容量に電荷がチャージ
- 15 される際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御するものであり、前記スイッチ回路の一つが電源電圧 Vcc の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し電源電圧
- 20 Vcc の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタ
- 25 のコレクタ電流が所要の値まで低下することを特徴とする。

請求項 3 4 記載の発明は、圧電振動子と、発振用トランジスタと、該

発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路がPNP型トランジスタを備え、該PNP型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記PNP型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのエミッタを抵抗を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記PNP型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路のON・OFF動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項35記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカス

コード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方
5 のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記
10 第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、更に前記第四のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に
15 電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用ト
20 ランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 36 記載の発明は、圧電振動子と、発振用トランジスタと、該
25 発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つの

スイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタ

5 のエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続し、前記 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのエミッタを抵抗

10 を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ

15 前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、

20 前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 37 記載の発明は、圧電振動子と、発振用トランジスタと、該

25 発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレク

タ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタ

5 のエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記

10 第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、前記 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続し、更に前記第四のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続

15 するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前

20 記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 38 記載の発明は、圧電振動子と、発振用トランジスタと、該

25 発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも 2 つの

スイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタを抵抗を介して前記発振用トランジスタのエミッタに入接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 5 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続し、前記 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタの 10 エミッタを抵抗を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後 15 から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記 20 圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 39 記載の発明は、圧電振動子と、発振用トランジスタと、該 25 発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレク

タ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタを抵抗を介して前記発振用トランジスタのエミッタに接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、前記 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続し、更に前記第四のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする。

請求項 40 記載の発明は、圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路が電源電圧 V_{cc} 投入後所要の間だけ前記発振用トランジスタのコレクタ電流及

びエミッタ電流をカレントミラー回路から成る電流制御回路によって制御することを特徴とする。

請求項 4 1 記載の発明は、圧電振動子と、発振用トランジスタと、2つの高速起動用回路とを備えた圧電発振器であり、電源電圧 V_{cc} 印加後
5 所要の間だけ、前記第一の高速起動用回路が前記圧電振動子に起動促進用電圧を印加し、前記第二の高速起動用回路が前記発振用トランジスタのコレクタ電流を増加させることを特徴とする。

請求項 4 2 記載の発明は、圧電振動子と、発振用トランジスタと、2つの高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路
10 がスイッチ回路を備えたものであり、前記第一の高速起動用回路が電源電圧 V_{cc} 印加後所要の間だけ、前記第一の高速起動用回路に備えた前記スイッチ回路を介し電源電圧 V_{cc} を発振促進用電圧として前記圧電振動子に印加し、前記第二の高速起動用回路がスイッチ回路にて前記発振用トランジスタのコレクタ抵抗またはエミッタ抵抗またはコレクタ抵抗と
15 エミッタ抵抗とをバイパスすることによりコレクタ電流を増加させることを特徴とする。

請求項 4 3 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続したバッファ用トランジスタとを備えた圧電発振器に於いて、前記バッファ用トランジスタのベースと電
20 源電圧 V_{cc} ラインとを第一の容量を介して接続し、該ベースを第二の容量を介して接地したことを特徴とする。

請求項 4 4 記載の発明は、圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えると共に、該高速起動用回路がディプレッション型 P チャネル FET をスイッチ素子としたスイッチ回路を備えた圧電発振器であり、該スイッチ回路
25 が電源電圧投入後の所要の時間だけ ON 動作し、前記エミッタ抵抗の両

端間を接続することにより前記圧電振動子への起動電流を高め、更に、前記所要の時間が経過した後に前記スイッチ回路が OFF 動作することを特徴とする。

- 請求項 4 5 記載の発明は、圧電振動子と、発振用トランジスタと、該
- 5 発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えると共に、該高速起動用回路がディブレーション型 P チャネル FET のベースを電源電圧 V_{cc} ラインに接続し、更に、電源電圧 V_{cc} ラインと接地との間に設けた抵抗と容量との直列回路の該抵抗と容量との接続点をディブレーション型 P チャネル FET のゲートに接続し、且つ、ドレイン・ソース間と前記発振用トランジスタのエミッタ抵抗とを並列接続するよう
- 10 構成したものであり、前記ディブレーション型 P チャネル FET が電源電圧投入後の所要の時間だけ ON 動作し、前記エミッタ抵抗の両端間を接続することにより前記圧電振動子への起動電流を高め、更に、前記所要の時間が経過した後に前記スイッチ回路が OFF 動作することを特徴
- 15 とする。

図面の簡単な説明

- 図 1 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 2 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 20 図 3 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 4 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 5 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 6 は、電源電圧 V_{cc} の立ち上り特性を示す図である。
- 図 7 は、(a) は本発明に基づく水晶発振器に備えたトランジスタ 3
- 25 3 のベース電位の立ち上り特性を示す図であり、(b) は本発明に基づく水晶発振器のトランジスタ 3 3 のエミッタ・ベース間電圧の立ち上り

特性を示す図である。

図 8 は、本発明に基づく水晶発振器の起動促進用電圧の立ち上り特性を示す図である。

図 9 (a) から (d) は、本発明に基づく水晶発振器の起動特性を示す図である。

- 図 10 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 11 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 12 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 13 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 10 図 14 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 15 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 16 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 17 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 18 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 15 図 19 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 20 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 21 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 22 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 23 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 20 図 24 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 25 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 26 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 27 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 28 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 25 図 29 は、本発明に基づく水晶発振器の一実施例の回路構成図である。
- 図 30 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 1 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 2 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 3 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 4 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

5 図 3 5 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 6 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 7 は、本発明に基づく水晶発振器の一実施例の回路構成図である。

図 3 8 は、従来水晶発振器の回路構成図である。

10 発明を実施するための最良の形態

以下、図示した実施例に基づいて本発明を詳細に説明する。

図 1 は本発明に基づく水晶発振器の一実施例を示した回路図である。

同図に示す水晶発振器 1-1 は、点線で囲った水晶発振回路 2 と一点鎖線で囲った第一の高速起動用回路 3 とを備えたものである。

15 水晶発振回路 2 は一般的なコルピッツ型水晶発振回路であり、容量 4 を介して一端を接地した水晶振動子 5 の他方端を発振用トランジスタ 6 のベースに接続し、このベースと接地との間に負荷容量の一部となる容量 7 と容量 8 との直列回路を挿入接続すると共に、この直列回路の接続中点を抵抗 9 を介して接地されたトランジスタ 6 のエミッタに接続し、
20 更にベースに抵抗 10 と抵抗 11 とから成るベースバイアス回路によって適宜ベースバイアスを施すと共に、トランジスタ 6 のコレクタと電源電圧 V_{cc} ラインとを抵抗 12 を介して接続するよう構成したものである。

高速起動用回路 3 は電源電圧 V_{cc} ラインにコレクタを接続したスイッチング動作を行う起動促進用の第一の NPN 型トランジスタ 13 (以下、
25 トランジスタ 13 と称す。) のベースと電源電圧 V_{cc} ラインとを容量 14 を介して接続すると共に、このベースと接地とを逆方向接続のダイオ

ード15を介して接続したものであり、更に、トランジスタ13のエミッタを水晶振動子5とトランジスタ6の接続中点Aに接続するよう構成したものである。

次に水晶発振器1-1の動作について説明する。

- 5 尚、水晶発振回路2については上述したように一般的なコルピッツ型水晶発振回路でありその動作については既知であるので説明を省略する。

電源電圧 V_{cc} を印加するとその直後より容量14には電荷のチャージが開始され、その間、チャージ電流が発生し、この電流がトランジスタ13のベース電流となり、このトランジスタ13が導通状態（ON 動作
10 状態）となる。

その結果、水晶振動子5に電源電圧 V_{cc} が印加されるので水晶振動子5は瞬間的に揺動され、結果的に非動作状態から発振動作状態に達するまでの起動時間が短縮されたものとなる。

- 一方、所定期間が経過し、容量14への電荷のチャージが完了すると、
15 トランジスタ13のベース電流であるチャージ電流が消滅するのでトランジスタ13はOFF動作状態となり水晶振動子5と電源電圧 V_{cc} ラインとが切り離された状態で水晶発振回路2は定常発振動作を持続する。

- 尚、ダイオード15は電源電圧 V_{cc} が印加されている際にはトランジスタ13のベースと接地間とを高インピーダンス状態に保ち、電源電圧
20 V_{cc} が印加されていない状態では容量14のチャージ電荷の放電を促進する為のもので、必ずしも必要ではなく、また、ダイオード15の代わりとして抵抗を用いても良い。

図2は本発明に基づく水晶発振器1-2の他の実施例を示すものである。

- 25 同図に示す水晶発振器1-2が図1に示した実施例と異なるのは第一の高速起動用回路3の内部構成が相違する点である。

即ち、電源電圧 V_{cc} ラインにコレクタを接続した第一の NPN 型トランジスタ 13 のベースとエミッタとを抵抗 16 を介して接続すると共に、該トランジスタ 13 のコレクタを電源電圧 V_{cc} ラインを、また、エミッタを水晶振動子 5 の一方端 A に接続する。

5 更に、電源電圧 V_{cc} ラインにコレクタを接続した第二の NPN 型トランジスタ 17 のエミッタと前記トランジスタ 13 のベースとを抵抗 18 を介して接続し、トランジスタ 17 のベースとコレクタとを容量 14 を介して接続すると共に、トランジスタ 17 のベースと接地とを逆方向接続のダイオードを介して接続したものである。

10 この例ではトランジスタ 13 とトランジスタ 17 とを 2 段接続したので図 1 の回路に比べて全体の増幅度が大きくなって水晶振動子 5 に加わるパルス状 V_{cc} 電圧の立ち上りを大きくすることができるのでより一層の起動促進効果が得られる場合がある。

更に、スイッチング動作を行うトランジスタとして PNP 型を使用したものとしては、例えば図 3、図 4 に示す構成とすれば良い。

即ち、図 3 及び図 4 に示す水晶発振器 1-3 及び 1-4 は本発明に基づく他の実施例であり、図 3 はトランジスタを一段構成のコルピッツ型発振回路であり、図 4 は、トランジスタを二段構成した所謂カスコード接続型バッファ回路を備えた水晶発振器である。

20 水晶発振器 1-3、1-4 が特徴とする点は、高速起動用回路 3 として、PNP 型トランジスタ 19 をスイッチ回路素子としたものであり、トランジスタ 19 のエミッタを電源電圧 V_{cc} ラインに接続し、トランジスタ 19 のコレクタを水晶振動子 5 の一端に接続し、更に、トランジスタ 19 のベースと接地との間に容量 20 を挿入接続すると共に、トランジスタ 19 のベースに NPN 型トランジスタ 21 のエミッタを接続し、更にトランジスタ 21 のベースとコレクタとを接地するよう構成したもの

を用いたところにある。

尚、トランジスタ 21 は上記のようにベースとコレクタとを接続した構成によりダイオードとして機能するものである。

そしてこのような構成であっても、電源電圧 V_{cc} を印加するとその直
5 後より容量 20 には電荷のチャージが開始され、その間、チャージ電流が発生し、この電流がトランジスタ 19 のベース電流となり、このトランジスタ 19 が導通状態となる。

その結果、水晶振動子 5 に電源電圧 V_{cc} が印加されるので水晶振動子
5 は瞬間的に揺動され、結果的に非動作状態から発振動作状態に達する
10 までの起動時間が短縮されたものとなる。

一方、所定期間が経過し、容量 20 への電荷のチャージが完了すると、
トランジスタ 19 のベース電流であるチャージ電流が消滅するのでトラ
ンジスタ 19 は OFF 動作状態となり水晶振動子 5 と電源電圧 V_{cc} ライ
ンとが切り離された状態で水晶発振回路 2 は定常発振動作を持続するこ
15 とができる。

更に、図 5 は本発明に基づく水晶発振器の他の実施例を示した回路図である。

同図に示す水晶発振器 1-5 は、一点鎖線内のコルピッツ型水晶発振回路 2 と、点線内の高速起動用回路 3 とを備えたものである。

20 水晶発振回路 2 は、発振用トランジスタ 22 のベースに、一端が容量 23 を介して接地された水晶振動子 24 の他方端を接続し、更に、ベースと接地間に負荷容量の一部となる容量 25 及び容量 26 の直列回路を挿入接続し、この直列回路の接続中点とトランジスタ 22 のエミッタとを接続すると共に、エミッタと接地間にエミッタ抵抗 27 を接続する。

25 更に、前記トランジスタ 22 のコレクタにはそのベースを高周波ノイズパス用容量 28 を介して接地したトランジスタ 29 をカスコード接続

し、該トランジスタ 29 のベースと電源電圧 V_{cc} ラインとの間に定電流回路 30 を挿入接続し、更に抵抗 31 及び抵抗 32 から成る回路網にてトランジスタ 22 及びトランジスタ 29 にベースバイアスを適宜印加するよう構成したものである。

5 尚、前記トランジスタ 29 のコレクタと電源電圧 V_{cc} ラインとの間に負荷抵抗 R_c を挿入接続し、発振出力はトランジスタ 29 のコレクタから直流カット用容量 C を介して取り出すが、出力端 OUT と接地との間に接続した容量 C_L 及び抵抗 R_L は水晶発振器の使用条件に一致させる為の擬似負荷であって、以下に示す実験を行う為に付加したものである。

10 一方、高速起動用回路 3 は、PNP 型トランジスタ 33 のエミッタと電源電圧 V_{cc} ラインとを抵抗 34 を介して接続し、トランジスタ 33 のベースと電源電圧 V_{cc} ラインとを第一の容量 35 を介して接続すると共に、トランジスタ 33 のベースと接地とを第二の容量 36 を介して接続し、トランジスタ 33 のコレクタと水晶振動子 24 の他方端側とを抵抗 37
15 及び抵抗 38 とから成る直列回路を介して接続する。

更に、抵抗 37 及び抵抗 38 とから成る直列回路の接続中点にトランジスタ 39 のベースを接続し、トランジスタ 39 のコレクタを抵抗 40 を介して電源電圧 V_{cc} ラインに接続してトランジスタ 33 とトランジスタ 39 とをダーリントン接続とすると共に、トランジスタ 39 のエミッタを水晶振動子 24 の他方端側に接続したものである。
20

以下に本発明の効果を水晶発振器 1 - 5 の回路設定方法と動作説明を交えながら説明する。

尚、水晶発振回路 2 については上述した通り一般的なコルピッツ型発振回路であり、その動作については既知であるので詳細な説明は省略す
25 る。

先ず、高速起動用回路 3 の基本的動作について説明する。

水晶発振器 1 - 5 に例えば図 6 に示した立ち上り特性（立ち上り時間 100ns）を呈した電源電圧 V_{cc} を印加する場合を考えると、電源電圧 V_{cc} 印加開始直後から容量 3 5 及び容量 3 6 にチャージ電流が発生するのでトランジスタ 3 3 のベースには容量 3 5 及び容量 3 6 の容量比とチャージ電流とに基づく過渡的なベースバイアス電圧が印加される。

一方、トランジスタ 3 3 のエミッタにも抵抗 3 4 を介して電源電圧 V_{cc} が印加されるが、電源電圧 V_{cc} の値が小さい間はエミッタからベースに電流は流れない。

エミッタからベースに電流が流れるのはトランジスタ 3 3 のエミッタ・ベース間電圧 V_{eb} が閾値電圧（例えば 0.75V）以上に達したときであり、これに伴い初めてトランジスタ 3 3 が ON 動作する。

トランジスタ 3 3 が ON 動作を開始するタイミングは、後述するように容量 3 5 と容量 3 6 との分圧回路によって印加されるベース電圧の上昇とエミッタ電圧値の上昇との関係によって決定される。

上述のようにトランジスタ 3 3 が ON 動作すると、その間トランジスタ 3 3 を介して電源電圧 V_{cc} よりトランジスタ 3 9 にベース電流が供給されてトランジスタ 3 9 が ON 動作するので、電源電圧 V_{cc} がトランジスタ 3 9 を介して起動促進用電圧として水晶振動子 2 4 に印加される。

この場合、水晶発振器 1 - 5 を効率良く高速起動させる為には水晶振動子 2 4 を強励振させるに十分な高電位であって、急峻な立ち上り特性を有する起動促進用電圧が必要であるから、先ず電源電圧 V_{cc} を印加開始した時点から所定時間だけ遅延した時点をとランジスタ 3 3 の動作開始タイミングとするよう容量 3 5 の容量値 C_{35} と容量 3 6 の容量値 C_{36} との容量比 C_{35}/C_{36} を所定の値に設定し、これにより電源電圧 V_{cc} が高電位に達した時に高速起動用回路 3 を動作開始させる。

即ち、高速起動用回路 3 の動作開始のタイミングを決定するトランジ

スタ 3 3 の動作開始タイミングは、トランジスタ 3 3 のエミッタ電圧 V_e の値がトランジスタ 3 3 のベース電圧 V_b とトランジスタ 3 3 のエミッタ・ベース間の閾値電圧 V_{eb} ($=0.75V$) との和以上 ($V_e \geq V_b + (\text{閾値電圧 } 0.75V)$) に達した時点である。

5 そして更に、容量 3 5 の値 C_{35} に対して容量 3 6 の値 C_{36} を小さく設定する程、トランジスタ 3 3 のベースには容量 3 5 と容量 3 6 との分圧比に基づき高電位が発生するので、電源電圧 V_{cc} が印加開始されてから $V_e \geq V_b + (\text{閾値電圧 } 0.75V)$ に達するまでに長時間を要し、トランジスタ 3 3 の動作開始タイミングを遅延させることができる。

10 図 7 は容量 3 5 と 3 6 の値の比とトランジスタ 3 3 の ON 動作開始タイミングとの関係を確認する為のシミュレーション結果である。

 まず、同図 (a) は容量 3 5 の値を $C_{35}=5pF$ と固定し、他方の容量 3 6 の値 C_{36} を $3pF$ と $15pF$ にした場合のトランジスタ 3 3 のベース (接地間) 電圧 V_b とエミッタ (接地間) 電圧 V_e 及び電源電圧 V_{cc} の

15 立ち上り特性との関係を図示したものである。

 この図から明らかなように、ベース電圧 V_b については容量 3 6 の値が小さい方が電圧の立ち上りが早く、エミッタ電圧 V_e についてはトランジスタ 3 3 が ON するまでは $C_{36}=3pF$ も $15pF$ も電源電圧 V_{cc} とほぼ同一の立ち上りとなる。

20 上述した通り、トランジスタ 3 3 が ON 動作する為にはエミッタ・ベース間電圧 V_{eb} が $0.75V$ 以上になる必要があるが、トランジスタ 3 3 が OFF 状態ではエミッタ電流が流れないから上述した通りエミッタ電圧はほぼ電源電圧 V_{cc} と同電位となる。

 このことは図 7 (a) に示すように例えば $C_{36}=15pF$ の場合の V_e 電
25 圧曲線が、電源電圧投入から約 $40ns$ までの間電源電圧 V_{cc} とほぼ同一の立ち上り特性であることから理解できよう。

上記の通り、トランジスタ 33 が ON するのは図 7 (a) に示す V_e 電圧曲線と V_b 電圧曲線の差の電圧が $0.75V$ 以上になるタイミングであるが、上述し且つ、図 7 (a) に示した通りエミッタ電圧 V_e は容量 36 の値に関わらず両者ともほぼ同一の立ち上りであるのに対し、ベース電圧 V_b の立ち上りは容量 36 を $15pF$ と大きくした方が立ち上りが遅くなるのでエミッタ・ベース間の閾値電圧が $0.75V$ 以上となる条件を満たすことになる。

詳しくは後述するが、トランジスタ 33 の ON 動作開始タイミングは $C36 = 15pF$ では $40ns$ 、 $C36 = 5pF$ では $80ns$ 程度であり、図 7 (a) に示す結果からもその様子が伺える。

以上説明したように、容量 35 と容量 36 との容量比に基づきトランジスタ 33 の ON 動作開始タイミング、延いては高速起動用回路 3 の動作開始のタイミングを任意に遅延させて電源電圧 V_{cc} が高電位状態に達した時に高速起動用回路 3 が動作するように設定することができる。

図 7 (b) は、容量 36 の容量値が $3pF$ 、 $4pF$ 、 $7pF$ 、 $15pF$ の各場合のトランジスタ 33 のエミッタ・ベース間電圧 V_{eb} ($V_{eb} = V_e - V_b$) の立ち上り特性についてシミュレーションを行った結果を示すものであり、特性 A は容量 36 の容量値が $C36 = 3pF$ の場合、特性 B は $C36 = 4pF$ の場合、特性 D は $C36 = 7pF$ の場合、特性 E は $C36 = 15pF$ の場合の V_{eb} の立ち上り特性である。

尚、電源電圧 V_{cc} は $2.8V$ であり、その立ち上り特性は回路への電源投入開始時点から定電圧 $V_{cc} = 2.8V$ に達するまでの時間が約 $100ns$ であり、その他の各素子値を容量 35 = $5pF$ 、抵抗 34 = $1k\Omega$ 、抵抗 37 = $1k\Omega$ 、抵抗 38 = $10k\Omega$ 、抵抗 40 = 200Ω とした。

同図に示すように電圧 V_{eb} が閾値 ($0.75V$) に達する時間 T_{eb} は容量 3.6 の値が大きい程短時間であり、容量 36 が $3pF$ の場合では $T_{eb} =$ 約

83ns、4pF の場合では $T_{eb}=72\text{ns}$ 、7pF の場合では $T_{eb}=55\text{ns}$ 、15pF の場合では $T_{eb}=41\text{ns}$ であった。

その理由は、前記図 7 (a) の説明からも理解できよう。

5 尚、図 7 (a) に示したトランジスタ 33 のエミッタ電圧 V_e の立ち上り特性がエミッタ・ベース間電圧 $V_{eb} (=V_e - V_b)$ が閾値電圧をほぼ超えた時点から電源電圧 V_{cc} の立ち上り特性と一致しなくなるのは、トランジスタ 33 が ON 動作を開始した為にエミッタ電流が流れ抵抗 34 による電圧降下が発生し、エミッタ電圧 V_e が低下した為である。

10 尚、以上の通りであるのでトランジスタ 33 の動作開始タイミングを決定する際、抵抗 34 の端子間電圧 V_{34} を考慮しなくても差し支えない。

ところで、水晶発振器 1-5 を高速起動させる為の高速起動用回路 3 の最適な設定条件は、トランジスタ 33 の動作タイミングに注目する他、トランジスタ 33 のコレクタ電流値をバランス良く設定した方が好ましい。

15 即ち、図 7 (b) に示すようにトランジスタ 33 のエミッタ・ベース間電圧 V_{eb} は、容量 36 が 3pF~15pF の何れの条件でも電源電圧 V_{cc} が規定値に達する以前にトランジスタ 33 を ON 動作させるに必要な閾値電圧 0.75V に達しているが、次段トランジスタ 39 に十分なベース電流を供給し、これにより所望大量のコレクタ電流を発生させてパルス的な高電位の起動促進用電圧を発生させるには、トランジスタ 33 の ON 動作に伴い十分なコレクタ電流がトランジスタ 33 に供給される方が好ましい。

20 これに対して高速起動用回路 3 の動作開始タイミングを遅らせることのみに注目して容量 36 を必要以上に小容量値に設定すると、トランジスタ 33 のベース電圧が高電位となる分、抵抗 34 間の電圧が小さくなり、これにより V_{eb} が閾値を超えたとしても、トランジスタ 33 には充

分な量のコレクタ電流が流れないのでトランジスタ 39 に供給されるベース電流が少ないと共に十分なコレクタ電流が発生せず起動促進用電圧の立ち上り特性が鈍ってしまう。

- また逆に、容量 36 を必要以上に大容量値に設定してしまうと、電源
- 5 電圧 V_{cc} が充分高電位の状態に立ち上っていない状態にて高速起動用回路 3 が ON 動作してしまうので充分高電位な起動促進用電圧を印加することができない。

- 図 8 は上述した現象を説明する為に容量 35 と容量 36 との容量比の違いに於ける起動促進用電圧の立ち上り特性の違いを示したシミュレーション結果であり、図 5 に示した回路図におけるトランジスタ 39 のエミッタ電圧であって、容量 35 の容量値を $C35=5\text{pF}$ に固定し、特性 A は容量 36 の容量値が $C36=3\text{pF}$ の場合、特性 B は $C36=4\text{pF}$ の場合、特性 D は $C36=7\text{pF}$ の場合、特性 E が $C36=15\text{pF}$ の場合である。
- 10

- 尚、この特性はトランジスタ 33 のエミッタ・ベース間電圧 V_{eb} の立ち上り特性は図 7 (b) に示すものと同一であり、また、高速起動用回路 3 を構成するその他の要素の設定条件については図 6 の説明にて用いた場合と同じである。
- 15

- 図 8 に示すように起動促進用電圧は、その立ち上り容量比 $C35/C36$ が大きい程、電源電圧 V_{cc} の印加開始時点より遅延する度合いが大きくなるので、電源電圧 V_{cc} が充分上昇した状態に於いて高速起動用回路 3 が動作し、高電位の起動促進用電圧を発生することができるが、特性 A と特性 B とでは立ち上り開始時点から 1.5V まで到達するに要した時間を比較すると、特性 A ($C36=3\text{pF}$) が約 28ns であったのに対し、特性 B ($C36=4\text{pF}$) では約 20ns であり、特性 B 場合の方が特性 A の場合より
- 20
- 25
- りも約 8ns 速度い立ち上り特性が得られた。

これは特性 A の方が特性 B と比較して過剰に遅延動作を図った結果、

電源電圧 V_{cc} の殆どがベース電圧 V_b に費やされてしまったので、抵抗 16 の端子間電圧が低電圧となりトランジスタ 33 に大きなコレクタ電流が発生せず、これに伴いトランジスタ 39 に大きなコレクタ電流が発生しないので立ち上り特性の急峻な起動促進用電圧が発生しないのである。

更に、特性 D ($C36 = 7\text{pF}$) 及び特性 E ($C36 = 15\text{pF}$) については電源電圧 V_{cc} が十分に高電位に達していない段階で高速起動用回路 3 が動作開始したので急峻な立ち上り特性を有した起動促進用電圧が得られないことが見て取れる。

10 図 9 は、上記特性 A～特性 E の起動促進用電圧の違いによる水晶発振器 1-5 の発振起動特性の違いを示すシミュレーション結果であり、同図 (a) は特性 A の起動促進用電圧を印加した場合、同図 (b) は特性 B の起動促進用電圧を印加した場合、同図 (c) は特性 D の起動促進用電圧を印加した場合、同図 (d) は特性 E の起動促進用電圧を印加した
15 場合である。

同図に示すように起動促進用電圧が特性 A の場合では水晶発振器 1-5 が起動状態に要する時間 (起動時間) が約 0.500ms 、特性 B の場合では起動時間が 0.475ms 、特性 C の場合では起動時間が 0.525ms 、特性 D の場合では起動時間が 0.575ms であり、このことから容量 36 の値が
20 $C36 = 4\text{pF}$ の場合が最適に水晶発振器 1-5 が高速起動することが理解できる。

従って以上のことを踏まえると、容量 35 と容量 36 との値には回路毎に最適値が存在することが解り、トランジスタ 33 のエミッタ・ベース間に閾値以上の電圧 V_{eb} を印加することができ、且つ、高速起動用回
25 路 3 が充分動作する条件が満たされるタイミングになるよう設定することにより、立ち上り特性の急峻な起動促進用電圧が発生し、その結果、

水晶発振器 1 - 5 を高速起動させることができる。

尚、高速起動用回路 3 を備えない水晶発振回路 2 のみで構成した水晶発振器では、起動時間が約 1.2ms 程度であり、これと比較すると起動促進用電圧が特性 A ~ 特性 E の何れの場合であってもコルピッツ型発振回路よりも高速起動特性を得る効果が明らかである。

更に、容量 3 5 と容量 3 6 との容量比に基づき起動時間を自在に設定することができるから、水晶発振器 1 - 5 の使用条件や回路条件に応じて必要とされる水晶発振器の起動時間に自在に対応することができる。

図 1 0 ~ 図 1 2 に示す回路図は本発明に基づく水晶発振器の他の実施例である。

図 1 0 に示す水晶発振器 1 - 6 の特徴は、高速起動用回路 3 におけるスイッチング用トランジスタ 3 3 のコレクタとトランジスタ 3 9 のベースとを逆方向接続したトランジスタ 4 1 (又はダイオード) を介して接地するよう構成した点であり、例えば電源断時にトランジスタ 3 9 のベース等に発生する負電圧を放電する効果等がある。

図 1 1 に示す水晶発振器 1 - 7 の特徴は、高速起動用回路 3 に於いて、電源電圧 Vcc ラインと水晶振動子 2 4 の他方端との間に NPN 型トランジスタ 2 4 を順方向接続し、電源電圧 Vcc ラインと接地との間に容量 3 5 と容量 3 6 の直列回路を挿入接続すると共に、この直列回路の接続中点とトランジスタ 2 4 のベースとを接続し、更に逆方向接続のダイオード 2 5 を容量 3 6 に並列接続するよう構成したものである。

図 1 2 に示す水晶発振器 1 - 8 は、図 1 0 の回路を変形したものであり、高速起動用回路 3 に於いて電源電圧 Vcc ラインと水晶振動子 2 4 の他方端との間に NPN 型トランジスタ 4 2 を順方向接続し、電源電圧 Vcc ラインとトランジスタ 4 2 のベースとを抵抗 4 4 と容量 4 5 との直列回路を介して接続し、更に、トランジスタ 4 2 のベースを逆方向接続のダ

イオード 43 を介して接地するよう構成したものである。

尚、高速起動用回路 3 の動作開始タイミングを設定するには図 10、
図 11 に示す水晶発振器では、容量 35 と容量 36 との容量比により、
図 12 に示す水晶発振器 1-8 では、抵抗 44 と容量 45 との直列回路
5 の時定数により夫々決定することが可能である。

更に、上記の説明では電源電圧 V_{cc} の立ち上り特性が遅い場合、容量
36 の容量値を小さく設定することにより、水晶発振器 1 の起動特性を
高速化するよう構成した例を説明したが、本発明はこれに限定されるも
のではなく例えば図 13 から図 15 に示すような構成であっても構わな
10 い。

そしてこれら水晶発振器 1-9、1-10、1-11 は、電源電圧 V_{cc}
の立ち上り特性が例えば $1\mu s$ 程度と鈍い場合、図 5 に示す回路では容
量 36 を大容量値にすることによってトランジスタ 33 のベース電圧の
立ち上りを急峻にする必要があるが、大容量値は集積回路により構成し難
15 いという欠点を解決することができる。

即ち、図 13 に示す水晶発振器 1-9 は、図 5 に示す回路の高速起動
用回路 3 に於いて、更に、容量 35、36 の接続中点と接地との間に PNP
型トランジスタ 46 を順方向接続すると共に、電源電圧 V_{cc} ラインと接
地間に容量 47 と容量 48 との直列回路を挿入接続し、更に、この直列
20 回路の接続中点にトランジスタ 46 のベースを接続し、更に、トランジ
スタ 33 の ON 動作開始タイミングとトランジスタ 46 の ON 動作開始
タイミングとがほぼ同時期となるよう容量 47 と容量 48 との容量比を
設定するよう構成した点が特徴である。

そして図 13 に示すように付加回路を有する水晶発振器 1-9 では、
25 電源投入後、所定時間トランジスタ 46 が ON 動作し、これを介してト
ランジスタ 33 のベース電流の一部が流れるので等価的に容量 36 の値

を大容量にしたものと同等になる。

よってトランジスタ 39 のベース電圧の立上りを急峻にできるので、これに伴いトランジスタ 22 のベース電圧をも急峻に立ち上げることができる。

- 5 図 14 に示す水晶発振器 1-10 は、トランジスタ 33 のコレクタを抵抗 49 を介して接地すると共に、トランジスタ 39 のベース及びトランジスタ 50 のベースをトランジスタ 33 のコレクタに接続し、更に、トランジスタ 50 のエミッタを容量 51 と抵抗 52 とから成る直列回路を介して接地すると共に、トランジスタ 50 のコレクタをトランジスタ
10 33 のベースに接続するよう構成した点が図 5 に示す水晶発振器 1-5 の構成と異なる点である。

- そして水晶発振器 1-10 に於いては、容量 51 及び抵抗 52 がトランジスタ 50 のエミッタ負荷となり、トランジスタ 50 が ON 動作状態となったとき、トランジスタ 50 とトランジスタ 39 のベース電圧を電
15 源電圧近くにまで上げる働きをする。

更に、容量 51 は、電源電圧 V_{cc} が定常値に達したとき、高速起動用回路 3 を OFF 動作状態とする働きをする。

- 上記のように構成された水晶発振器 1-10 は、容量 35 と容量 36 との分圧比に基づきトランジスタ 33 にベース電流が供給されてトラン
20 ジスタ 33 にコレクタ電流が発生し、このコレクタ電流の一部がトランジスタ 50 のベースにベース電流として供給されたタイミングでトランジスタ 50 がトランジスタ 33 のベース電流を流す為の経路として働く。

- そして、これに伴い容量 36 に大きな値のものをを用いなくともトランジスタ 33 のベースに大きなベース電流を流すことができるのでトラン
25 ジスタ 33 に大きなコレクタ電流が発生し、トランジスタ 39 を介して水晶振動子 24 に急峻な立上り特性を呈する起動促進用電圧を印加する

ことができる。

更にまた、図 15 に示す水晶発振器 1-11 は、トランジスタ 33 のコレクタを抵抗 53 を介して接地すると共に、トランジスタ 33 のコレクタに NPN 型トランジスタ 54 のベースを接続し、トランジスタ 54 のコレクタを容量 55 を介して電源電圧 Vcc ラインに、エミッタを接地に接続し、更に、トランジスタ 54 のコレクタに PNP 型トランジスタ 56 のベースを接続すると共に、トランジスタ 56 のエミッタを電源電圧 Vcc ラインに、コレクタを抵抗 57 を介して接地し、更にトランジスタ 56 のコレクタをトランジスタ 39 のベースに接続するよう構成したものである。

そしてこのような構成の水晶発振器 1-11 は、容量 35 と容量 36 の分圧比に基づき電源電圧 Vcc 印加時から所要の時間でトランジスタ 33 が ON 動作となる。

これに伴いトランジスタ 54 のベース電圧が上昇し、トランジスタ 54 が ON 動作すると、それに伴いトランジスタ 56 が ON 動作する。

容量 55 は、トランジスタ 54 が ON 動作状態になるまでトランジスタ 56 が ON 動作にならないようトランジスタ 56 のベース電圧を電源電圧に近い値に保つ働きをする。

トランジスタ 54 が ON 動作状態になったとき、トランジスタ 54 がトランジスタ 56 のベース電流を流すための経路として働き、トランジスタ 33 のベースに大きなベース電流を流すことができる。

このとき、上記所定時間が経過する間にも電源電圧 Vcc は高電位へと推移していた為、トランジスタ 39 にはトランジスタ 56 を介して急峻な立上り特性を呈する大量のベース電流が供給され、電源電圧 Vcc ラインからトランジスタ 39 を介して水晶振動子 24 に急峻な立上り特性を呈する起動促進用電圧を印加することができる。

以上、水晶振動子の一端に起動促進用電圧を印加する構成の高速起動用回路 3 を備えた水晶発振器を例にあげ本発明を説明したが本発明はこれに限定されるものではなく、以下に説明するように構成した水晶発振器であっても良い。

5 即ち、図 16 から図 25 は本発明に基づく他の実施例を示す回路図である。

以下、図示した実施例に基づいて本発明を詳細に説明する。

10 先ず、図 16 に示すように水晶発振器 1-12 は、点線にて囲まれた水晶発振回路 2 と、一点鎖線にて囲まれた高速起動用回路 3-1 とを備えたものである。

そして水晶発振回路 2 は、一般的なコルピッツ型発振回路であり、構成に付いては既に上述したので図 5 に示す水晶発振器と同一機能部には同一の番号を付し、その説明を省略する。

15 高速起動用回路 3-1 は、スイッチ素子として例えば第二のトランジスタ 58 を用いたスイッチ回路と、電源電圧 V_{cc} ラインにコレクタを接続した第三のトランジスタ 59 のベースと電源電圧 V_{cc} ラインとを容量 60 を介し接続し、且つ、トランジスタ 59 のベースと接地とを逆方向接続のダイオード 61 を介し接続するよう構成したスイッチ制御回路 62 とを備え、更に、トランジスタ 58 のベースとトランジスタ 59 のエミッタとを抵抗 63 を介して接続するよう構成したものであり、トランジスタ 58 のコレクタをトランジスタ 22 のエミッタに接続したものである。

以下にこのような構成の水晶発振器 1-12 の動作について説明する。

25 尚、水晶発振回路 2 が上述した通り、一般的なコルピッツ型発振回路である為、その動作についての説明を省略する。

先ず、電源電圧 V_{cc} を印加すると、その直後から容量 60 に電荷がチ

チャージされ始めることにより発生したチャージ電流をベース電流としてトランジスタ 59 が動作し、これによりトランジスタ 59 のエミッタ電流が抵抗 63 を介してトランジスタ 58 のベースに供給され、トランジスタ 58 が動作 (ON 動作) するので、トランジスタ 22 にはエミッタ・
5 接地間が低インピーダンスとなり、これに伴い発生した大きなエミッタ電流に基づき大きなコレクタ電流が発生する。

そして、この大きなコレクタ電流に基づき発生する大きなベース電流によって水晶振動子 24 が強励振するので、水晶発振器 1-12 は高速起動することができる。

- 10 一方、電源電圧 V_{cc} を印加してから所要の時間が経過すると、容量 60 のチャージが完了するとチャージ電流の発生しなくなるのでトランジスタ 59 が非動作状態となってトランジスタ 58 へのベース電流の供給が停止し、トランジスタ 58 が非動作 (OFF 動作) することになるので高速起動用回路 3-1 の消費電流が発生することなく水晶発振回路 2
15 は定常発振することが可能となる。

尚、ダイオード 61 は、電源電圧 V_{cc} が印加されている状態では、トランジスタ 59 のベースと接地との間が高インピーダンス状態に保たれる一方、電源電圧 V_{cc} が印加されていない状態ではトランジスタ 59 のベースがマイナス電位となるので容量 60 に帯電した電荷を放電する働き
20 を担うものである。

そして、ダイオード 61 の代わりに大きな値の抵抗を用いた構成であっても良いが、特に集積回路により構成する場合は、半導体回路により大きな値の抵抗を構成することが困難であることからダイオードを用いることが望ましい。

- 25 また、トランジスタ 58 と発振回路とを交流的に切断する必要がある場合は、図 17 に示すような構成とすれば良い。

即ち、図 17 は本発明に基づく水晶発振器の他の実施例を示すものである。

同図に示す水晶発振器 1-13 の特徴とする点は、第一のトランジスタ 22 のエミッタと第二のトランジスタ 58 のコレクタとを抵抗 64 を介して接続するよう構成したところにある。

このような構成とすることにより、水晶発振回路 2 は、水晶発振回路 2 の発振ループ中の信号がトランジスタ 58 に分流することがないので、安定した発振動作を持続することが可能である。

更に、図 18 に示す水晶発振器 1-14 は、点線にて囲まれた水晶発振回路 2 と、一点鎖線にて囲まれた高速起動用回路 3-1 とを備えたものであり、その構成は以下のようである。

尚、水晶発振回路 2 は一般的なコルピッツ型水晶発振回路であり、その構成については既に図 5 に示す水晶水晶発振器を用いて説明を省略する。

15 高速起動用回路 3-1 は、スイッチ回路として第五のトランジスタである PNP 型トランジスタ 65 のエミッタと電源電圧 V_{cc} ラインとを接続し、ベースと第六のトランジスタ 59 のコレクタとを接続すると共に、トランジスタ 65 のベースと接地とを抵抗 63 を介して接続し、更に、トランジスタ 59 のベースを容量 60 を介して電源電圧 V_{cc} ラインに接
20 続すると共に、このベースと接地とを逆方向接続のダイオード 61 を介して接続するよう構成したものである。

尚、二点鎖線にて囲まれた回路はスイッチ制御回路 62 である。

以下、水晶発振器 1-14 の動作について説明する。

尚、水晶発振回路 2 の動作説明については、一般的なコルピッツ型発
25 振回路である為、説明を省略する。

電源電圧 V_{cc} を印加すると、その直後より容量 60 に電荷がチャージ

されることにより発生するチャージ電流がトランジスタ 59 にベース電流として供給されるので ON 動作となったトランジスタ 60 を介してトランジスタ 65 のベースと接地とが接続し、これに伴いトランジスタ 65 が ON 動作するのでトランジスタ 22 のコレクタと電源電圧 Vcc ラインとがトランジスタ 65 を介して接続される。

そしてこれにより、トランジスタ 22 のコレクタ電位が電源電圧 Vcc と等しくなるに伴いトランジスタ 22 には大きなコレクタ電流が発生する為、発振ループ回路の負荷容量の一部である容量 9 の端子間インピーダンスを変動させることなく水晶振動子 24 を強励振させることができるので、水晶発振器 1-14 は、短時間で起動状態に達する。

電源電圧 Vcc を印加してから所要の時間が経過して容量 60 に電荷が十分チャージされると、これに伴いチャージ電流が消滅するのでトランジスタ 59 が非動作することによりトランジスタ 65 が OFF 動作し、抵抗 11 がトランジスタ 5 のコレクタ抵抗として機能する結果、高速起動回路 3-1 によって電力を消費することなく水晶発振器 1-14 は定常発振動作を持続することができる。

図 19 及び図 20 はに示す水晶発振器 1-15、1-16 の特徴とする点は、図 5 に示す水晶発振器と同様、水晶発振回路がカスコード接続したバッファ回路を備えたところであり第四のトランジスタ 29 をトランジスタ 22 にカスコード接続すると共に、図 19 に示す水晶発振器 1-15 に於いては、トランジスタ 65 のコレクタをトランジスタ 22 のコレクタに接続し、また、図 20 に示す水晶発振器 1-16 に於いては、トランジスタ 65 のコレクタをトランジスタ 29 のコレクタに接続するよう構成したところにある。

これらのような構成の水晶発振器であっても、高速起動回路 3-1 が上述したように機能することにより、起動特性が優れたものとなる。

更に、図 2 1 から図 2 3 に示す水晶発振器 1 - 1 7 から 1 - 1 9 が特徴とする点は、スイッチ制御回路 6 2 に備えるトランジスタ 5 9 のコレクタと電源電圧 V_{cc} ラインとを抵抗 6 7 を介して接続するよう構成したところにある。

- 5 このような構成は、ダイオード 6 1 に生じる漏れ電流がトランジスタ 5 9 のベース電流として働くことによりトランジスタ 6 5 のエミッタ・コレクタ間に電流が発生してしまう場合、これにより水晶発振回路 2 の発振条動作が不安定になることを回避する為のものであり、漏れ電流が生じてトランジスタ 5 9 が動作しても抵抗 6 7 を介して電源電圧 V_{cc} からコレクタ電流がトランジスタ 5 9 に供給されるのでトランジスタ 6 5
10 が不要な動作をすることを防いでいる。

- 更に、上述では高速起動用回路として大別して 2 つのタイプ、即ちトランジスタ 2 2 のエミッタに接続するよう構成したもの、または、トランジスタ 2 2 のコレクタまたはトランジスタ 2 9 のコレクタに接続する
15 よう構成したものを備えた水晶発振器を用いて本発明を説明したが、図 2 4 または図 2 5 に示すように本発明に基づく両タイプの高速起動用回路の機能を併合するよう構成した高速起動用回路を用いた水晶発振器であっても構わない。

- 即ち、先ず、図 2 4 に示す水晶発振器 1 - 2 0 は、電源電圧 V_{cc} ラインにエミッタを接続した PNP 型トランジスタ 6 5 のベースにスイッチ
20 制御回路 6 2 内に備えるトランジスタ 5 9 のコレクタを接続し、トランジスタ 5 9 のベースと電源とを容量 6 0 を介して接続すると共に、このベースと接地とを逆方向接続のダイオード 6 1 を介して接続し、更に、トランジスタ 5 9 のエミッタとトランジスタ 5 8 のベースとを抵抗 6 3
25 を介して接続し、トランジスタ 5 8 のエミッタを接地するよう構成した点を特徴とする。

そして、トランジスタ 5 8 のコレクタをトランジスタ 2 2 のエミッタに接続すると共に、トランジスタ 6 5 のコレクタをトランジスタ 2 2 のコレクタに接続する。

尚、図 2 5 に示す水晶発振器 1 - 2 1 は図 2 4 に示す高速起動用回路 3 - 2 に於いてトランジスタ 5 8 のコレクタとトランジスタ 2 2 のエミッタとを抵抗 6 4 を介して接続するよう構成した点を特徴としたものであり、これによりトランジスタ 5 8 の ON 動作と共に、発振ループ回路とトランジスタ 5 8 とが交流的に導通してしまうのを防いでいる。

尚、図示はしないが、図 1 9 ~ 図 2 3 に示す水晶発振器の場合についても図 2 4 または図 2 5 に示す水晶発振器の構成の如く、図 1 9 から図 2 3 に示す高速起動用回路と図 1 6 または図 1 7 に示す高速起動用回路 3 - 1 を組み合わせてた併合型構成の高速起動用回路を用いた水晶発振器としても良い。

更に、図 2 6 及び図 2 7 は、本発明に基づく水晶発振器の他の実施例を示すものである。

図 2 6 に示す水晶発振器 1 - 2 2 は点線で囲った水晶発振回路 2 と一点鎖線で囲った第二の高速起動用回路 3 - 3 とを備えたものである。

同図に示す水晶発振回路 2 はコルピッツ型発振回路であって、既に説明した図 5 に示す水晶発振器と同一機能部には同一の符号を付し、構成についての説明は省略する。

高速起動用回路 3 - 3 は二点鎖線にて囲まれたスイッチ制御回路 6 2 と、点線にて囲まれた電流制御回路 6 8 とを備えたものである。

そしてスイッチ制御回路 6 2 は電源電圧 V_{cc} ラインにコレクタを接続したトランジスタ 6 9 のコレクタとベース間に容量 7 0 と接続すると共に、このベースと接地との間に逆方向ダイオードとして機能するトランジスタ 7 1 を挿入接続したものである。

電流制御回路 6 8 はカレントミラー接続された PNP 型トランジスタ 7 2 及びトランジスタ 7 3 のエミッタを電源電圧 V_{cc} ラインに接続し、更に、夫々のベース及びトランジスタ 7 3 のコレクタを抵抗 7 4 と順方向接続のトランジスタ 7 5 を介して接地し、且つ、エミッタが電源電圧 5 V_{cc} ラインに接続された PNP 型トランジスタ 7 6 のベースに接続し、更に、トランジスタ 7 2 のコレクタをカレントミラー接続されたトランジスタ 7 7 及びトランジスタ 7 8 のベース及びトランジスタ 7 8 のコレクタに接続し、夫々のトランジスタのエミッタを接地する。

そして、トランジスタ 7 5 のベースとスイッチ制御回路 6 2 に備えられたトランジスタ 6 9 のエミッタとを抵抗 7 9 を介して接続し、トランジスタ 7 6 のコレクタとトランジスタ 2 2 のコレクタとを抵抗 8 0 を介して接続し、トランジスタ 7 7 のコレクタとトランジスタ 2 2 のエミッタとを抵抗 8 1 を介して接続したものである。

尚、後述する電流制御回路 6 8 にて一時的に供給される上述したコレクタ電流、エミッタ電流の値を水晶発振回路 2 の定常時コレクタ電流及びエミッタ電流の値より大きくなるよう例えば抵抗 7 4 の値を予め設定しておく。

以下に、上記のような構成の水晶発振器 1 - 2 2 の動作について説明する。

20 尚、水晶発振回路 2 については一般的なコルピッツ型発振回路であり、その動作については既知であるので説明を省略する。

先ず、電源電圧 V_{cc} を印加すると、その直後から容量 7 0 に電荷のチャージが開始され、その期間、発生したチャージ電流がトランジスタ 6 9 のベース電流となることによりトランジスタ 6 9 が ON 動作状態となるのでトランジスタ 7 5 にベース電流が供給され、トランジスタ 7 5 が 25 ON 動作状態となる。

そして、トランジスタ 7 3 が抵抗 7 4 及びトランジスタ 7 5 を介して接地されることによりトランジスタ 7 3 には大きな値のコレクタ電流が発生すると共に、この電流と等しい値のコレクタ電流がトランジスタ 7 2 とトランジスタ 7 6 とトランジスタ 7 7 及びトランジスタ 7 8 に発生するので、一時的にトランジスタ 2 2 のコレクタ電流及びエミッタ電流が電流制御回路 6 8 にて制御される。

これにより電源電圧 V_{cc} を印加直後から所定期間だけトランジスタ 2 2 は定常時のバイアス設定条件よりも大きなコレクタ電流及びエミッタ電流が供給されるので、これに基づく大きな値のベース電流の発生に伴い水晶振動子 2 4 が強励振され非動作状態から発振動作状態に達するまでの起動時間が短縮されたものとなる。

一方、所定期間が経過し、容量 7 0 への電荷のチャージが完了するとチャージ電流の消滅と共に高速起動用回路 3 - 3 の機能が停止し、且つ、高速起動用回路 3 - 3 の電圧供給端（トランジスタ 7 6 のコレクタ、トランジスタ 7 7 のコレクタ）と水晶発振回路 2 とが非導通状態となって水晶発振回路 2 は定常発振動作を持続することになる。

尚、上述したカスコード増幅回路を用いた構成でなくとも図 2 7 に示す水晶発振器 1 - 2 3 ようなトランジスタ 1 段から成るコルピッツ型水晶発振回路 2 に高速起動用回路 3 - 3 を接続するよう構成したものであっても構わない。

更に、前記ダイオード 7 1 は電源電圧 V_{cc} が印加されていない状態で容量 7 0 のチャージ電荷の放電を促進する為のもので、この例ではトランジスタをダイオード接続するよう構成したが通常のダイオードをこれに使用しても構わない。

更に、上述した説明では、発振ループ側接続タイプの高速起動用回路 3 または発振段増幅回路側接続タイプの高速起動用回路 3 - 1 乃至 3 -

3の何れかの高速起動用回路を備えた構成の水晶発振器を例にあげ本発明を説明したが、本発明はこれに限定されるものではなく、発振ループ側接続タイプの高速起動用回路3と発振段増幅回路側接続タイプの高速起動用回路3-1乃至3-3とを両方備えた水晶発振器であっても構わない。

即ち、例えるならば図28に示す水晶発振器1-24は、図1に示す水晶発振器に図18に示す高速起動用回路3-1を備えたものであり、また図29に示す水晶発振器1-25は図2に示す水晶発振器に図18に示す高速起動用回路3-1を備えたものである。

そしてこのように構成した水晶発振器は、2つの高速起動用回路を備えたことにより、高速起動用回路を1つ備えた場合と比較して水晶振動子が電源電圧 V_{cc} 印加直後から強励振するので、水晶発振器を高速起動させることができる。

更に、図30は、本発明に基づく水晶発振器の他の実施例を示すものである。

同図に示す水晶発振器1-26は、既に図5にて説明したコルピッツ型水晶発振回路を発振回路としたものであって、その構成の特徴は、電源電圧 V_{cc} ラインとトランジスタ29のベースとの間に容量82を挿入接続したところである。

このような構成の水晶発振器1-26の場合、電源電圧 V_{cc} の投入と共に容量82に発生したチャージ電流がトランジスタ29のベースとの接続点Cに供給されるので一時的に接続点Cの電位は電源電圧 V_{cc} と等しい状態となるのでトランジスタ29のベース及びトランジスタ22のベース、更には水晶振動子24に大電流を供給することができ高速起動を実現することができる。

この際、接続点Cに供給された電流の一部が容量28に分流されるが、

容量 8 2 の働きによって接続点 C の電流が増加量した効果の方が大きい為、従来の回路と比較して大きく起動特性が劣化することは無い。

更に、定常発振状態では電源電圧 V_{cc} に含まれるノイズ及びベースバイアス回路により発生した熱雑音が接続点 C に供給されるが、これらノイズ信号は容量 2 8 を介して接地へ流されるので発振信号に畳重し水晶発振器 1-2 6 の雑音特性を劣化させることがない。

そして更に、起動特性とノイズ特性とのバランスは容量 8 2 の容量値 C_{82} と容量 2 8 の容量値 C_{28} との容量比 C_{82}/C_{28} により自在に設定することができ、起動特性が重要視される場合は容量比を大きく設定し、

10 ノイズ特性が重要視される場合は容量比を小さく設定すれば良い。

更に、ヒアス型水晶発振器の場合では、以下のような構成とすれば良い。

即ち、図 3 1 に示す水晶発振回路 1-2 7 は、発振用トランジスタ 8 3 のベースに水晶振動子 8 4 の一方の端子を接続すると共に、電源 V_{cc} と接地との間に挿入接続された抵抗 8 5 と抵抗 8 6 との直列回路の接続中点に先のベースを接続し、更に、ベースと接地との間に容量 8 7 を挿入接続すると共に、ベースと電源 V_{cc} との間に容量 8 8 を挿入接続する。

そして、水晶振動子 8 4 の他方の端子を容量 8 9 を介して接地すると共に、発振回路の出力端 OUT であるトランジスタ 8 3 のコレクタ及び、一端が電源 V_{cc} に接続された抵抗 9 0 の他方端にそれぞれ接続し、更に、トランジスタ 8 3 のエミッタを抵抗 9 1 を介して接続するよう構成したものである。

更に、容量 8 8 を電源ライン及びバス容量 9 2 を介して接地したことにより容量 8 7 と容量 8 8 とを交流的に並列回路構成とし、更に、容量 8 7 と容量 8 8 との合成容量を発振回路の負荷容量とすると共に、容量

87と容量88との割合を容量87：容量88＝6：4とするよう構成したところにある。

このとき、上記負荷容量は、水晶振動子84の励振信号レベルが負荷容量のインピーダンス値に比例するものであることから、トランジスタ

- 5 83のベース電流に畳重する水晶振動子84の励振信号が全域に亘ってトランジスタ83のA級増幅動作域内となるよう予め小さな値に設定される。

尚、抵抗85、86、90、91に於いても、トランジスタ83がA級増幅動作するよう設定されたものである。

- 10 上記のような構成の水晶発振回路1-27の動作について下記に説明する。

先ず、電源Vcc投入直後、容量88に電荷がチャージされ始めてから終了する間、電源Vccから水晶振動子84の一方の端子へチャージ電流が供給されることとなるので、電源Vccと水晶振動子84とがダイレクトに接続された構成とほぼ等しい状態となり、その結果、電源Vccを分圧したベース電圧を起動電圧（起動電流源）とした従来の構成のものと比較して、高電圧の電源Vccを大起動電流発生源として利用することとなるので、水晶振動子84を強励振されることができ、これに伴って水晶発振回路1-27は高速起動する。

- 20 その後、容量88に電荷がチャージしきると上記チャージ電流が流れなくなるので起動電流の流動経路であった容量88が負荷容量の一部としてのみ機能して定常発振状態へと移行することになる。

- 即ち、上記負荷容量のインピーダンス値及びトランジスタ83の動作点の設定条件に基づいて、水晶振動子84が低レベルの励振信号を発振し、且つ、トランジスタ83がA級増幅動作するので、水晶発振回路1-27は、正弦波信号を出力させる為の最良の条件にて発振し続けるこ
- 25

とができる。

尚、出力端 O U T からは、トランジスタ 8 3 のコレクタ電流が水晶振動子 8 4 の正弦波の励振信号に誘導されるので正弦波信号が得られる。

- 更に、このような水晶発振回路 1 - 2 7 は、上述したように負荷容量
5 の一部である容量 8 8 を起動時の起動電流の経路に用いているので発振回路の起動時と定常時との間で負荷容量の変化が生じなく周波数ジャンプ等に代表される周波数変動が発生しないという利点も有している。

- そして更に、上記容量 C 8 7 : 容量 8 8 = 6 : 4 とした構成とした場合、起動特性及び出力信号波形が共に平均して優れた水晶発振回路が得
10 られるが、容量 8 7 : 容量 8 8 = 3 : 7 ~ 7 : 3 の範囲内であれば実際に耐えうる起動特性及び出力信号波形が得られると共に、電源電圧変動が生じた場合、例えば容量 8 8 のみで全負荷容量を構成したものと比較して負荷容量の変動量が少ないという具合に優れた周波数安定度が得られることも確認された。

- 15 更に、図 3 2 から図 3 5 に示す構成の水晶発振器でも良い。

- 先ず、図 3 2 ~ 図 3 4 に示す水晶発振器は何れも周波数制御機能をするものであり、図 3 2 に示す水晶発振回路 1 - 2 8 が図 3 0 の構成と異なる点は、容量 8 9 を可変容量素子 9 3 とすると共に、水晶振動子 8 4 の他方の端子に抵抗 9 4 を介して周波数制御信号入力端子 V c o を接
20 続し、更に、先の他方の端子と出力端 O U T とを直流カット用容量 9 5 を介して接続するよう構成したところにある。

- 図 3 3 に示す水晶発振回路 1 - 2 9 が図 3 0 の構成と異なる点は、容量 8 9 の代わりに容量 9 6 が水晶振動子 8 4 の他方の端子側に接続されるよう容量 9 6 と可変容量素子 9 3 との直列回路を接続したと共に、容
25 量 9 6 と可変容量素子 9 3 との接続中点に抵抗 9 4 を介して周波数制御信号入力端子 V c o を接続したところにある。

図 3 4 に示す水晶発振回路 1 - 3 0 が図 3 0 のものと異なる点は、容量 8 7 の代わりに容量 9 6 が水晶振動子 9 3 の他方の端子側に接続されるよう容量 9 6 と可変容量素子 9 3 との直列回路を接続したと共に、容量 9 6 と可変容量素子 9 3 との接続中点に抵抗 9 4 を介して周波数制御
5 信号入力端子 V_{co} を接続したところにある。

そしてこれらの構成の水晶発振回路の構成であっても負荷容量の設定条件を上述した条件に基づき設定すれば図 3 1 の構成と同等の機能が得られる。

図 3 5 に示す水晶発振器 1 - 3 1 が特徴とする点は、電源と接地との
10 間に第三の容量 9 5 と第一の抵抗 9 6 との直列回を挿入接続し、電源にエミッタを接続した PNP 型トランジスタ 9 7 のベースと先の直列回路の接続中点とを接続すると共に、PNP 型トランジスタ 9 7 のコレクタと接地とを第二の抵抗 9 8 を介して接続し、更に、水晶振動子 8 4 の一方の端子と接地との間を容量 8 7 と FET 9 9 との直列回路を介して FET
15 T 9 9 のソース端子が接地されるよう接続し、FET 9 9 のゲート端子と PNP 型トランジスタ 9 7 のベースとを接続するよう構成したところにある。

このような構成の水晶発振回路 1 - 3 1 は、電源電圧 V_{cc} 投入直後の容量 9 5 にチャージ電流が生じている間ではトランジスタ 9 7 のベース
20 ス電位と電源電圧とが等しいので、トランジスタ 9 7 が非動作状態であり、これにより FET がゲート電位 = 0 V であるので FET 9 9 の非動作状態となる。

このとき FET 9 9 が非動作状態であることにより、容量 8 7 と FET 9 9 との直列回路が高インピーダンス状態となる為、これにより水晶
25 振動子 8 4 が高励振レベルを出力し、その結果、水晶発振回路 1 - 3 1 は優れた起動特性が得られる。

容量 9 5 のチャージ電流の発生が停止した後の定常発振状態では、トランジスタ 9 7 の動作と共に F E T 9 9 が動作するので、先の直列回路のインピーダンスが F E T 9 9 のインピーダンスの分だけ低下し、これにより水晶振動子は所要の低レベルの励振信号を出力することができる。

- 5 また、圧電振動子として水晶振動子を用いて本発明を説明したが、本発明はこれに限定されるものではなく、あらゆる圧電振動子を用いた発振器に適用しても構わない。

- 10 以上、高速起動回路を備えた構成においてはコルピッツ型水晶発振器を用いて本発明を説明したが本発明はこれに限定されるものではなく、
10 ピアス型水晶発振器等その他のあらゆる構成の圧電発振器に適用することができる。

- 15 更に、高速起動用回路 3 - 1 としてバイポーラトランジスタを使用した構成を用いて本発明を説明したが本発明はこれに限定されるものではなく、図 3 6、図 3 7 に示すよう M O S F E T トランジスタを用いたもの
15 であっても構わない。

即ち、図 3 6、図 3 7 は M O S トランジスタをスイッチ回路素子として使用したところが特徴であり、図 3 6 は発振回路 2 がコルピッツ型的水晶発振器 1 - 3 2、図 3 7 が発振回路がピアス型的水晶発振器 1 - 3 3 である。

- 20 そして高速起動用回路 3 - 1 は、ディプレッション型 P チャネル M O S F E T 5 8 のトランジスタ 5 8 のベースを電源電圧 Vcc ラインに接続しゲートを容量 6 0 を介して設置すると共に抵抗 6 1 を介して電源電圧 Vcc ラインに接続したものであり、ドレイン・ソース間がトランジスタ 2 2 またはトランジスタ 8 3 のエミッタ抵抗 2 7、または 9 1 に並列接
25 続されている。

このような構成の水晶発振器 1 - 3 2、1 - 3 3 であっても電源電圧

Vcc 印加後所定の時間の間だけトランジスタ 22 に大電流のコレクタ電流及びエミッタ電流が発生するので、これに基づき水晶振動子 24 が強励振し、結果水晶発振器の起動時間を短縮することが可能である。

- 5 また、スイッチングトランジスタのベースバイアス回路の分圧素子として容量を用いた構成については、この例に限らず、例えば集積回路や半導体素子によって同等に機能するものであれば何でも利用し得る。

- 10 以上説明したように本発明に基づく圧電発振回路は、電源電圧を印加してから所要期間だけ圧電振動子に所定レベルの起動促進用の電圧を印加する為の瞬時電圧供給手段を設けたことにより、圧電発振器が非動作状態から発振動作状態となるまでに必要とする起動時間が短縮することは勿論、所定時間経過後、起動促進用の電圧の供給が断たれるので、位相雑音特性及び周波数安定度特性に優れたものとなるという効果を奏する。

請 求 の 範 囲

1. 圧電振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が NPN 型トランジスタを電源電圧 Vcc ラインと前記圧電振動子の一端の間に順方向接続し、前記電源電圧 Vcc ラインと前記 NPN 型トランジスタのベースとの間に容量を挿入接続した構成であり、電源電圧 Vcc 投入後所定時間前記 NPN 型トランジスタを介して前記電源電圧 Vcc ラインから圧電振動子に起動促進用電圧を印加することを特徴とする圧電発振器。
- 10 2. 圧電振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が第一の NPN 型トランジスタを電源電圧 Vcc ラインと前記圧電振動子の一端の間に順方向接続し、前記第一の NPN 型トランジスタのベースとエミッタとの間に抵抗を挿入接続し、前記電源電圧 Vcc ラインと前記第一の NPN 型トランジスタのベースとの間に第二の NPN 型トランジスタを順方向接続し、電源電圧 Vcc ラインと該第二の NPN 型トランジスタのベースとの間に容量を挿入接続した構成であり、電源電圧 Vcc 投入後所定時間前記第一の NPN 型トランジスタを介して前記電源電圧 Vcc ラインから圧電振動子に起動促進用電圧を印加することを特徴とする圧電発振器。
- 15 3. 圧電振動子と、増幅回路と、高速起動用回路を備え、該高速起動用回路が PNP 型トランジスタを電源電圧 Vcc ラインと前記圧電振動子の一端の間に順方向接続し、接地と前記 PNP 型トランジスタのベースとの間に容量及びダイオードから成る並列回路を挿入接続した構成であり、電源電圧 Vcc 投入後所定時間前記 PNP 型トランジスタを介して前記電源電圧 Vcc ラインから圧電振動子に起動促進用電圧を印加することを特徴とする圧電発振器。
- 20 25

4. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

5. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタスイッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路とを備えたものであり、該分圧回路の分圧比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御しことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

6. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

7. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路

とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコ

5 レクタ・エミッタを順方向に挿入接続した構成であり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

10 8. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタスイッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路と、前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタス

15 イッチを備えたものであり、該分圧回路の分圧比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御しことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

9. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc}

20 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレ

25 クタ・エミッタを順方向に挿入接続し、前記 PNP 型トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタス

ッチを備えたものであり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

- 5 10. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備えたものであり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。

11. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続した構成であり、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トラ

ンジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする圧電発振器。

1 2 . 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc}

- 5 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコ
10 レクタ・エミッタを順方向に挿入接続した構成であり、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの
15 ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする圧電発振器。

1 3 . 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、

- 20 該 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記 PNP 型トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイ
25 ャッチを備え、電源電圧 V_{cc} の立ち上り電圧に基づき電源電圧 V_{cc} の印加開始時点から所定時間遅延して動作開始し、前記電源電圧 V_{cc} の立ち上

り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする圧電発振器。

- 5 14. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路が第一の PNP 型トランジスタスイッチと、該スイッチ用トランジスタのベースと電源電圧 V_{cc} ラインとの間に第一の容量を、該ベースと接地との間に第二の容量を含み、圧電発振器の発振ループと電源電圧 V_{cc} ラインとの間に前記 PNP 型トランジスタのコレクタ・エミッタを順方向に挿入接続し、前記トランジスタスイッチの出力電圧に基づき ON・OFF 制御される第二のトランジスタスイッチを備え、前記第一の容量と前記第二の容量との容量比に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し、前記電源電圧 V_{cc} の
- 10 立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力するものであり、前記 PNP 型トランジスタのベースと接地との間に該 PNP 型トランジスタの ON 動作タイミングとほぼ同時期に ON 動作するトランジスタスイッチを備えたものであることを特徴とする圧電発振器。
- 15 15. 圧電振動子と、増幅回路と、前記圧電振動子の一端に電源電圧 V_{cc} 投入後に所要のレベルの起動促進用電圧を印加する為の高速起動用回路とを備え、該高速起動用回路がトランジスタスイッチと、該トランジスタスイッチのベースバイアス回路用の分圧回路とを備えたものであり、該分圧回路が容量と抵抗とから成る直列回路を備え、該直列回路の時定数に基づき該高速起動用回路の動作開始タイミングの遅延時間を制御し
- 20 ことにより、前記電源電圧 V_{cc} の立ち上り特性よりも急峻な立ち上り特性を有した起動促進用電圧を出力することを特徴とする圧電発振器。
- 25

16. 圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記発振用トランジスタのコレクタ電流を増加させるよう制御することにより、前記圧電発振器の起動時間が短縮され、前記所要の
5 時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

17. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高
10 速起動用回路によって電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを減少させるよう制御することにより、前記圧電発振器の起動時間を短縮したことを特徴とする圧電発振器。

18. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高
15 速起動用回路がスイッチ回路を備えたものであり、該スイッチ回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする圧電発振器。

19. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高
20 速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、該スイッチ制御回路が容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することにより、電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の
25 両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする圧電発振器。

20. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路が第二のトランジスタを備えたものであり、該第二のトランジスタのコレクタ・エミッタ間に前記発振用トランジスタのエミッタ抵抗を挿入接続し、該スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのベースと電源電圧 V_{cc} ラインとを容量を介して接続し、第三のトランジスタのコレクタと電源電圧 V_{cc} ラインとを接続すると共に、前記第三のトランジスタのコレクタと前記第二のトランジスタのベースとを抵抗を介して接続するよう構成し、前記容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することにより、電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする圧電発振器。

21. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路が第二のトランジスタを備えたものであり、該第二のトランジスタのコレクタと前記発振用トランジスタのエミッタとを抵抗を介して接続し、前記第二のトランジスタのコレクタ・エミッタ間に前記発振用トランジスタのエミッタ抵抗を挿入接続し、該スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのベースと電源電圧 V_{cc} ラインとを容量を介して接続し、第三のトランジスタのコレクタと電源電圧 V_{cc} ラインとを接続すると共に、前記第三のトランジスタのコレクタと前記第二のトランジスタのベースとを抵抗を

介して接続するよう構成し、前記容量のチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御することにより、電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続し、該エミッタ抵抗の両端間のインピーダンスを減少させ前記圧電発振器の起動時間を短縮したことを特徴とする圧電発振器。

2 2. 圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記発振用トランジスタのコレクタの電位を上昇させコレクタ電流を増加させるよう制御することにより、圧電振動子を強励振刺せ前記圧電発振器の起動時間を短縮し、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

2 3. 圧電振動子と発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、電源電圧 V_{cc} の投入から所要の間だけ前記高速起動用回路が前記第二のトランジスタのコレクタ電位をあげるよう制御することにより、前記発振用トランジスタのコレクタ電位が上がり、これに伴う前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする圧電発振器。

2 4. 圧電振動子と発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路を備え、該スイッチ回路が電源電圧 V_{cc} の投入から所要の間だけ ON 動作することにより、該スイッチ回路を介して電

源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする圧電発振器。

25. 圧電振動子と発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路とを備え、該スイッチ制御回路が容量を備えたものと共に、電源電圧 V_{cc} の投入から所要の間だけ該容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることにより、該スイッチ回路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする圧電発振器。

26. 圧電振動子と発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路とを備え、前記スイッチ回路が PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタまたは前記第二のトランジスタのコレクタに接続するよう構成したものであり、前記スイッチ制御回路が第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、該第三のトランジスタの

ベースと電源電圧 V_{cc} ラインとを容量を介して接続し、該ベースを逆方向接続のダイオードを介して接地するよう構成したものであり、前記スイッチ制御回路が電源電圧 V_{cc} の投入から所要の間だけ前記容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることにより、該スイッチ回路を介して電源電圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc} ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、
10 起動時間が短縮されることを特徴とする圧電発振器。

27. 圧電振動子と発振用トランジスタと、該発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路とスイッチ制御回路とを備え、前記スイッチ回路が PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、
15 前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタまたは前記第二のトランジスタのコレクタに接続するよう構成したものであり、前記スイッチ制御回路が第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、該第三のトランジスタの
20 ベースと電源電圧 V_{cc} ラインとを容量を介して接続し、前記第三のトランジスタのコレクタと電源電圧 V_{cc} とを抵抗を介して接続し、該ベースを逆方向接続のダイオードを介して接地するよう構成したものであり、前記スイッチ制御回路が電源電圧 V_{cc} の投入から所要の間だけ前記容量に電荷がチャージされる際に発生したチャージ電流に基づいて前記スイッチ回路を ON 動作させることにより、該スイッチ回路を介して電源電
25 圧 V_{cc} ラインと前記発振用トランジスタのコレクタまたは電源電圧 V_{cc}

ラインと前記第二のトランジスタのコレクタとを接続して前記発振用のトランジスタのコレクタ電位をあげるよう制御することで、前記発振用トランジスタのコレクタ電流の増加に基づき前記圧電振動子が強励振するので、起動時間が短縮されることを特徴とする圧電発振器。

- 5 28. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、
10 前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

29. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。
20

30. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路を備えた
25

ものであり、該スイッチ回路の一つが電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

- 10 31. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路を備えたものであり、該スイッチ回路の一つが電源電圧
- 15 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電
- 20 発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

32. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路と、スイ
- 25

- ツチ制御回路とを備えたものであり、前記スイッチ制御回路が容量を備えたものであると共に、該容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御するものであり、前記スイッチ回路の一つが電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。
33. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路を備えたものであり、前記スイッチ制御回路が容量を備えたものであると共に、該容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御するものであり、前記スイッチ回路の一つが電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し電源電圧 V_{cc} の投入後から所要の間だけ前記エミッタ抵抗の両端間のインピーダンスを低く、且つ、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮さ

れ、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

34. 圧電振動子と、発振用トランジスタと、該発振用トランジスタの
5 エミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路が PNP
10 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのエミッタを抵抗を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際
15 に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電
20 流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前

記発振用トランジスタのコレクタ電流が所要の値まで低下することを特徴とする圧電発振器。

35. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 Vcc ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、更に前記第四のトランジスタのベースと電源電圧 Vcc ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 Vcc の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低下することを特

徴とする圧電発振器。

36. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路がPNP型トランジスタを備え、該PNP型トランジスタのエミッタを電源電圧Vccラインに接続し、更に、前記PNP型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続し、前記PNP型トランジスタのベースと電源電圧Vccラインとを抵抗を介して接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのエミッタを抵抗を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記PNP型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧Vccラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧Vccの投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路のON・OFF動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低

下することを特徴とする圧電発振器。

37. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用
- 5 回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタ・エミッタ間に前記エミッタ抵抗を挿入接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記
- 10 第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、前記 PNP 型トランジスタのベースと電源
- 15 電圧 V_{cc} ラインとを抵抗を介して接続し、更に前記第四のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の
- 20 ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前
- 25 記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要の値まで低

下することを特徴とする圧電発振器。

38. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗及びコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、該高速起動用回路が少なくとも2つのスイッチ回路と、スイッチ制御回路とを備えたものであり、前記スイッチ回路の一つが第二のトランジスタを備え該第二のトランジスタのコレクタを抵抗を介して前記発振用トランジスタのエミッタに入接続したものであり、他方のスイッチ回路がPNP型トランジスタを備え、該PNP型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記PNP型トランジスタのコレクタを前記発振用トランジスタのコレクタに接続し、前記PNP型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続するよう構成したものであり、更に前記スイッチ制御回路が第三のトランジスタを備えると共に、該第三のトランジスタのエミッタを抵抗を介して前記第二のトランジスタのベースに接続し、前記第三のトランジスタのコレクタを前記PNP型トランジスタのベースに接続し、更に前記第三のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路のON・OFF動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所

要の値まで低下することを特徴とする圧電発振器。

39. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、前記発振用トランジスタとカスコード接続する第二のトランジスタと、該第二のトランジスタのコレクタ抵抗と、高速起動用回路とを備えた圧電発振器であり、前記スイッチ回路の一つが第三のトランジスタを備え、該第三のトランジスタのコレクタを抵抗を介して前記発振用トランジスタのエミッタに接続したものであり、他方のスイッチ回路が PNP 型トランジスタを備え、該 PNP 型トランジスタのエミッタを電源電圧 V_{cc} ラインに接続し、更に、前記 PNP 型トランジスタのコレクタを前記第二のトランジスタのコレクタに接続するよう構成したものであり、更に前記スイッチ制御回路が第四のトランジスタを備えると共に、該第四のトランジスタのエミッタを抵抗を介して前記第三のトランジスタのベースに接続し、前記第四のトランジスタのコレクタを前記 PNP 型トランジスタのベースに接続し、前記 PNP 型トランジスタのベースと電源電圧 V_{cc} ラインとを抵抗を介して接続し、更に前記第四のトランジスタのベースと電源電圧 V_{cc} ラインとを前記容量を介して接続すると共に、該ベースを逆方向接続のダイオードを介して接続するよう構成したものであり、電源電圧 V_{cc} の投入後から所要の間だけ前記容量に電荷がチャージされる際に発生するチャージ電流に基づいて前記スイッチ回路の ON・OFF 動作を制御し、前記エミッタ抵抗の両端間を接続することにより該エミッタ抵抗の両端間のインピーダンスを低くし、且つ、前記スイッチ回路の他方が前記コレクタ抵抗の両端間を接続し、前記コレクタ抵抗間の電位を下げるよう制御することにより、前記発振用トランジスタのコレクタ電流が増加し、前記圧電発振器の起動時間が短縮され、前記所要の時間が経過した後では前記高速起動用回路による制御が停止することにより前記発振用トランジスタのコレクタ電流が所要

の値まで低下することを特徴とする圧電発振器。

40. 圧電振動子と、発振用トランジスタと、高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路が電源電圧 V_{cc} 投入後所要の間だけ前記発振用トランジスタのコレクタ電流及びエミッタ電流をカレントミラー回路から成る電流制御回路によって制御することを特徴とする圧電発振器。

41. 圧電振動子と、発振用トランジスタと、2つの高速起動用回路とを備えた圧電発振器であり、電源電圧 V_{cc} 印加後所要の間だけ、前記第一の高速起動用回路が前記圧電振動子に起動促進用電圧を印加し、前記第二の高速起動用回路が前記発振用トランジスタのコレクタ電流を増加させることを特徴とする圧電発振器。

42. 圧電振動子と、発振用トランジスタと、2つの高速起動用回路とを備えた圧電発振器であり、前記高速起動用回路がスイッチ回路を備えたものであり、前記第一の高速起動用回路が電源電圧 V_{cc} 印加後所要の間だけ、前記第一の高速起動用回路に備えた前記スイッチ回路を介し電源電圧 V_{cc} を発振促進用電圧として前記圧電振動子に印加し、前記第二の高速起動用回路がスイッチ回路にて前記発振用トランジスタのコレクタ抵抗またはエミッタ抵抗またはコレクタ抵抗とエミッタ抵抗とをバイパスすることによりコレクタ電流を増加させることを特徴とする圧電発振器。

43. 圧電振動子と、発振用トランジスタと、該発振用トランジスタとカスコード接続したバッファ用トランジスタとを備えた圧電発振器に於いて、前記バッファ用トランジスタのベースと電源電圧 V_{cc} ラインとを第一の容量を介して接続し、該ベースを第二の容量を介して接地したことを特徴とする圧電発振器。

44. 圧電振動子と、発振用トランジスタと、該発振用トランジスタの

エミッタ抵抗と、高速起動用回路とを備えると共に、該高速起動用回路がディプレッション型 P チャンネル F E T をスイッチ素子としたスイッチ回路を備えた圧電発振器であり、該スイッチ回路が電源電圧投入後の所要の時間だけ ON 動作し、前記エミッタ抵抗の両端間を接続することにより前記圧電振動子への起動電流を高め、更に、前記所要の時間が経過した後に前記スイッチ回路が OFF 動作することを特徴とする圧電発振器。

45. 圧電振動子と、発振用トランジスタと、該発振用トランジスタのエミッタ抵抗と、高速起動用回路とを備えると共に、該高速起動用回路がディプレッション型 P チャンネル F E T のベースを電源電圧 V_{cc} ラインに接続し、更に、電源電圧 V_{cc} ラインと接地との間に設けた抵抗と容量との直列回路の該抵抗と容量との接続点をディプレッション型 P チャンネル F E T のゲートに接続し、且つ、ドレイン・ソース間と前記発振用トランジスタのエミッタ抵抗とを並列接続するよう構成したものであり、
- 15 前記ディプレッション型 P チャンネル F E T が電源電圧投入後の所要の時間だけ ON 動作し、前記エミッタ抵抗の両端間を接続することにより前記圧電振動子への起動電流を高め、更に、前記所要の時間が経過した後に前記スイッチ回路が OFF 動作することを特徴とする圧電発振器。

1 / 20

图 1

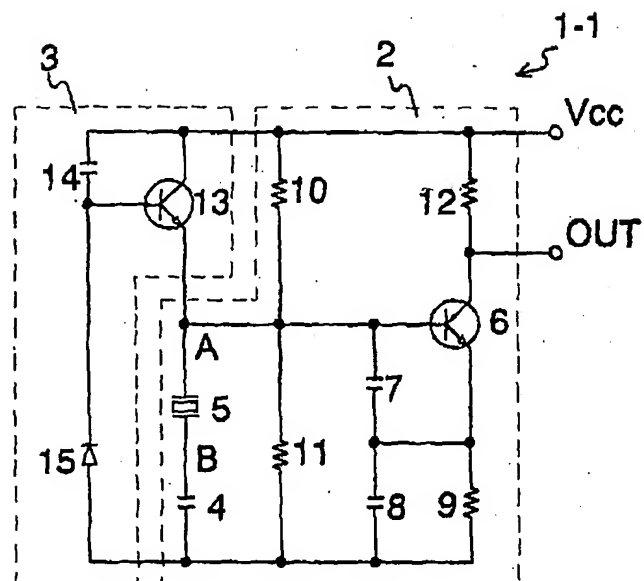
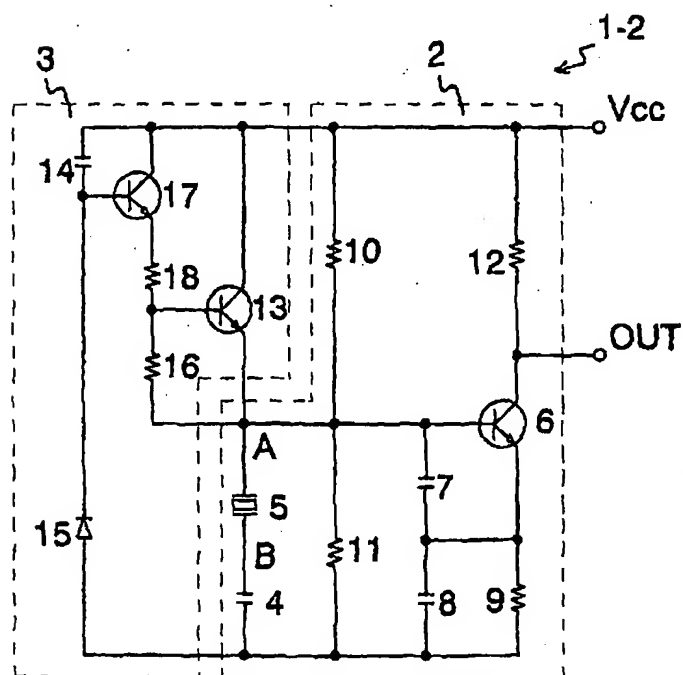


图 2



2/20

図 3

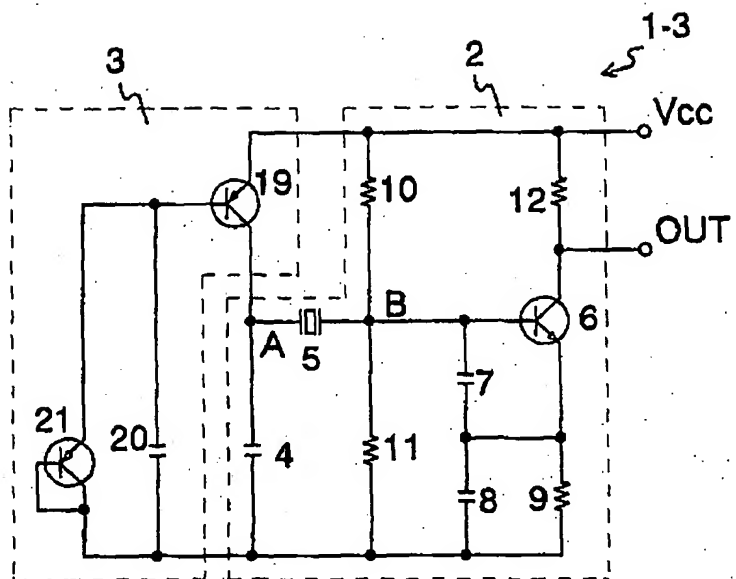
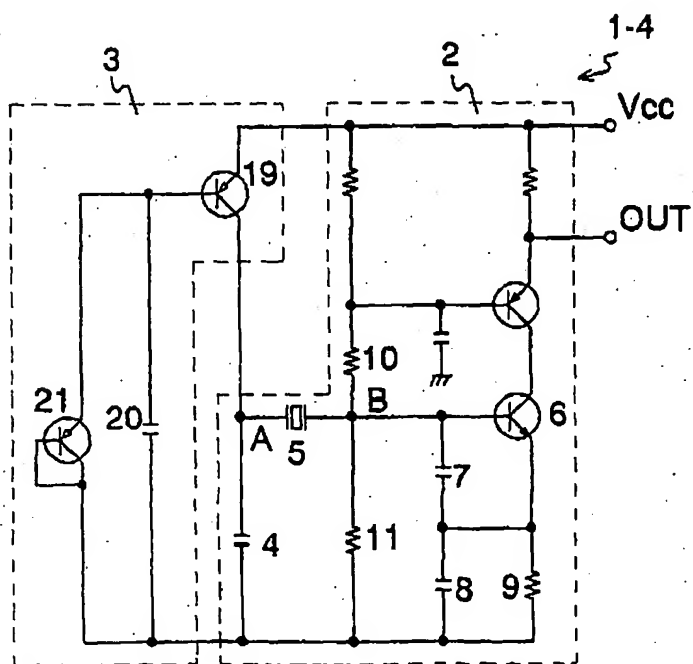


図 4



3/20

図 5

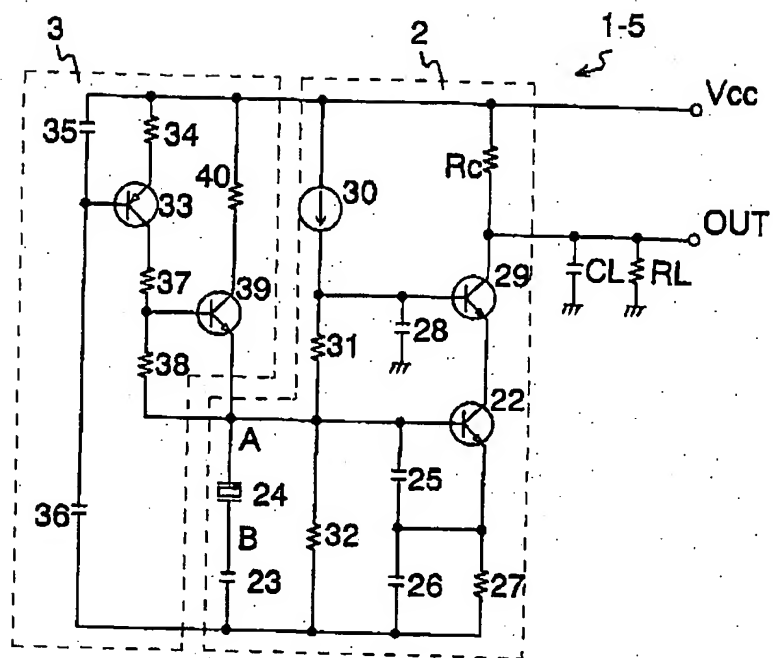
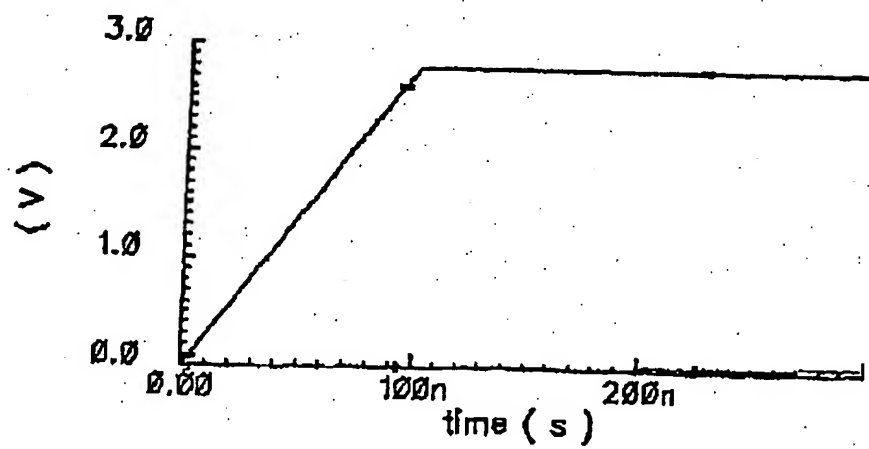
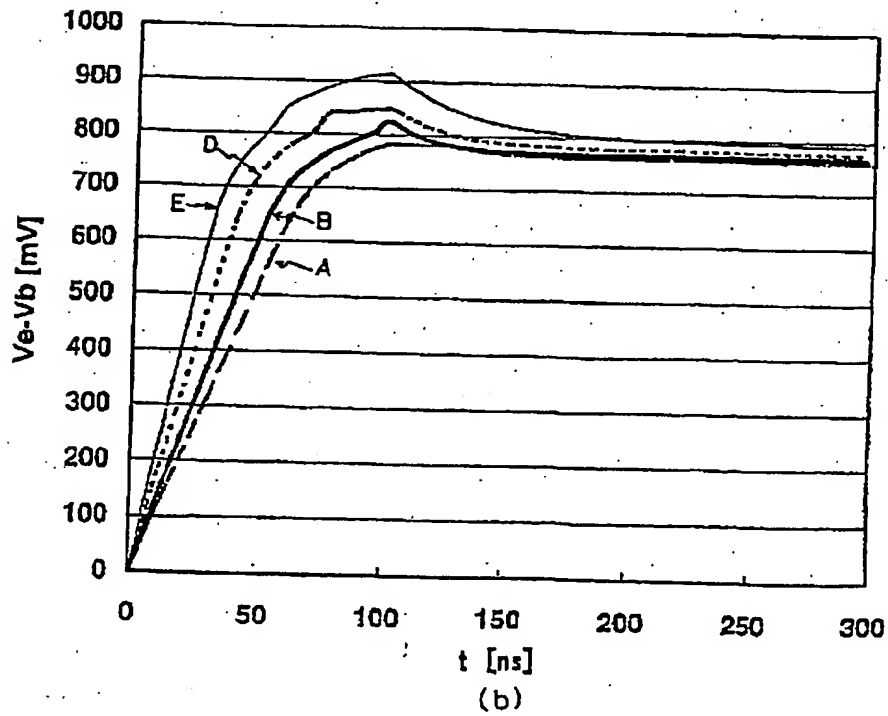
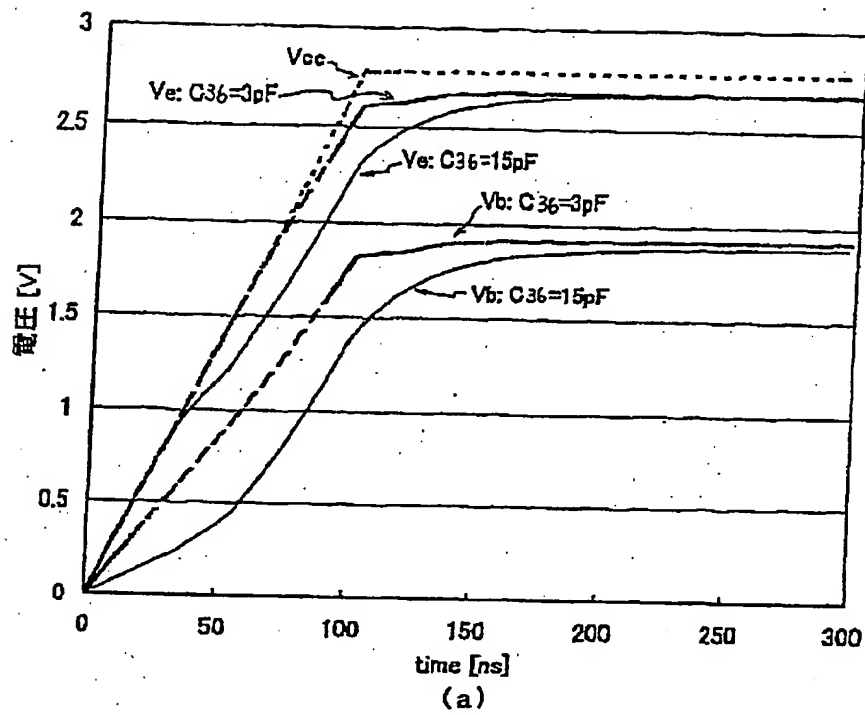


図 6



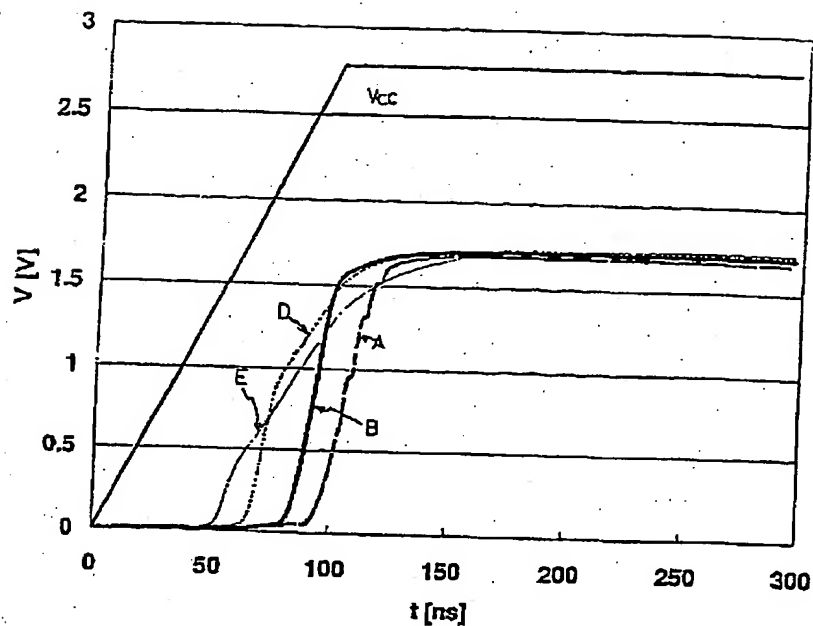
4/20

図 7

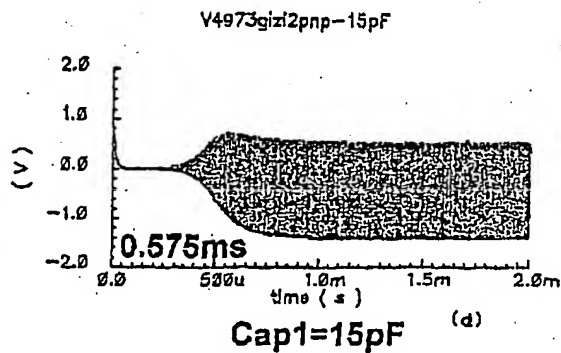
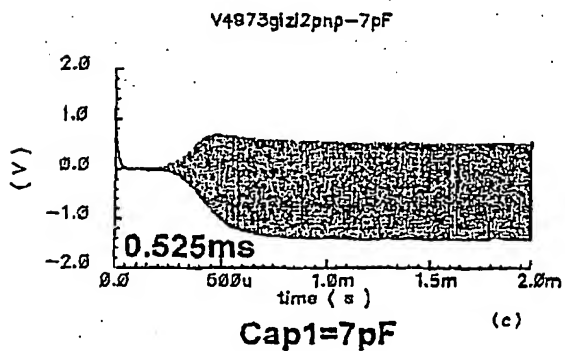
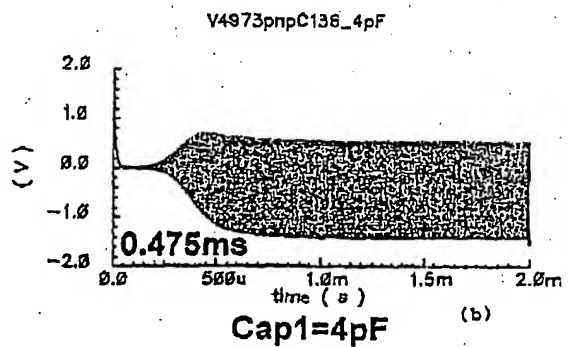
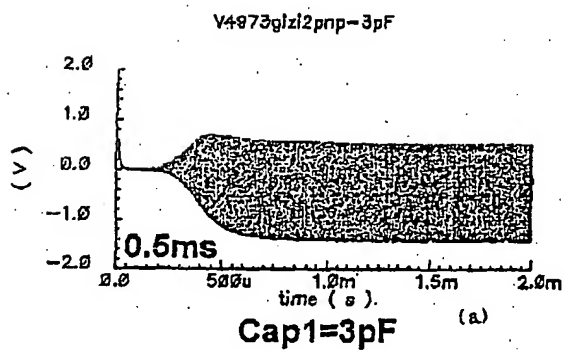


5/20

8



9



6 / 20

图 10

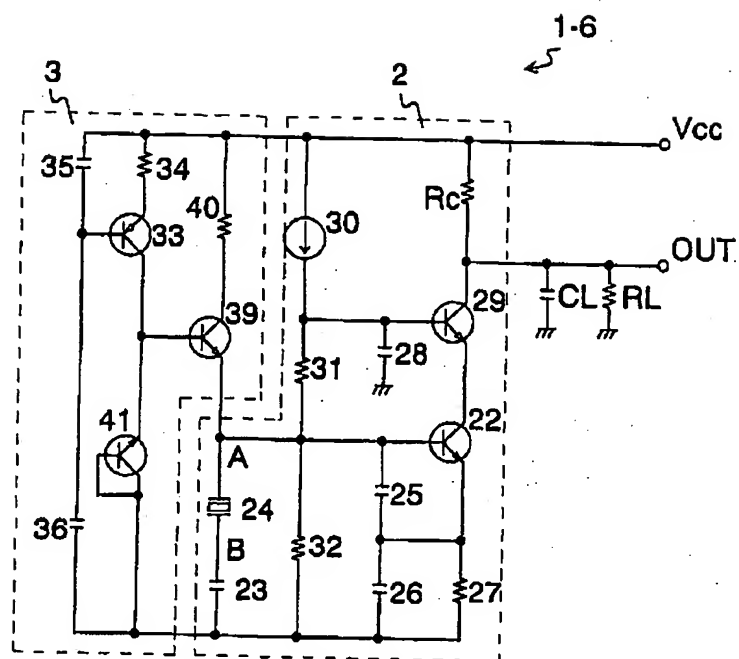
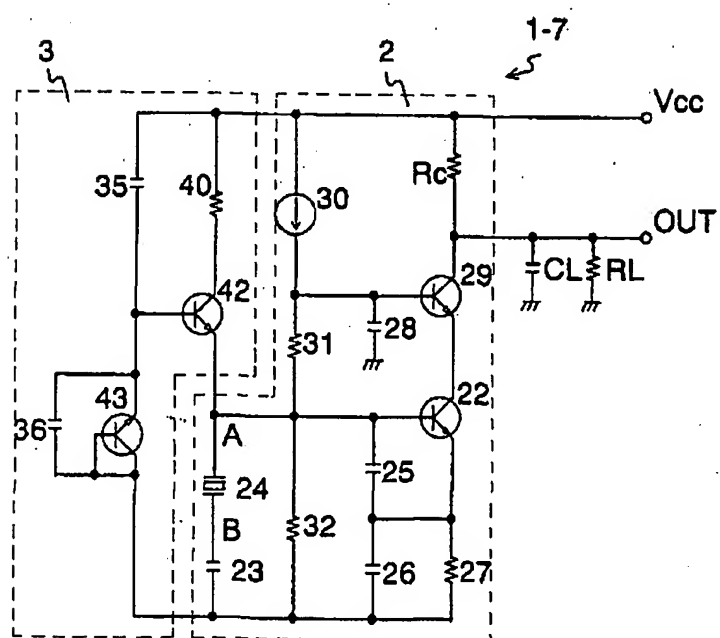


图 1 1



7/20

図 1 2

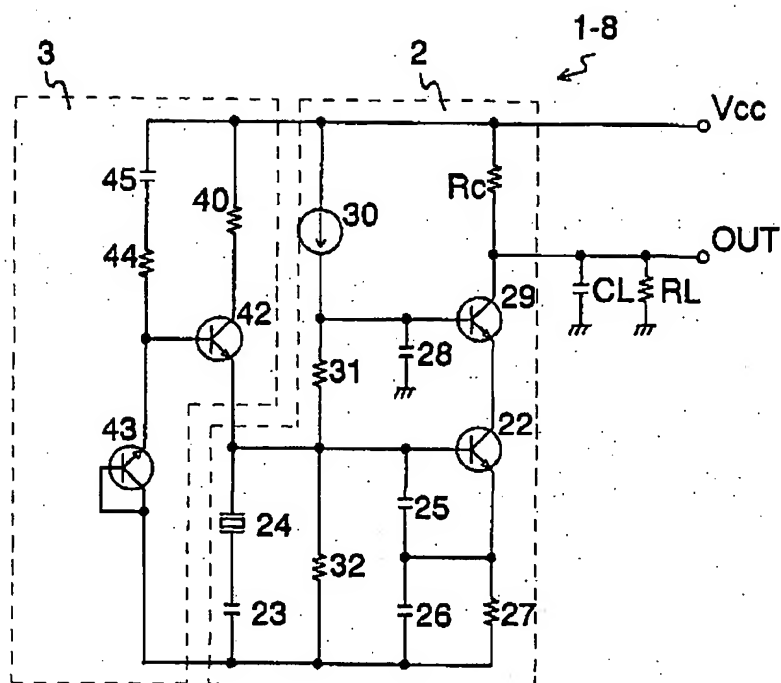
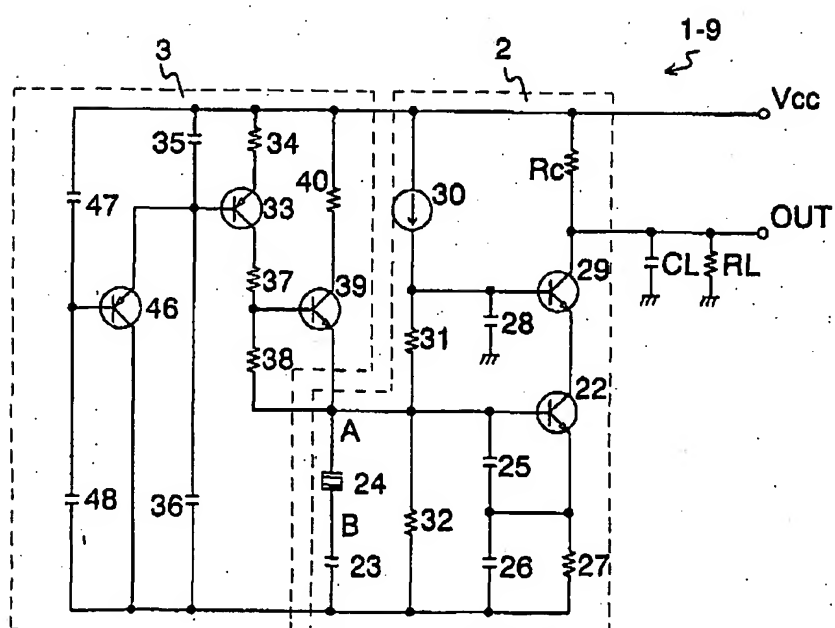


図 1 3



8/20

図 14

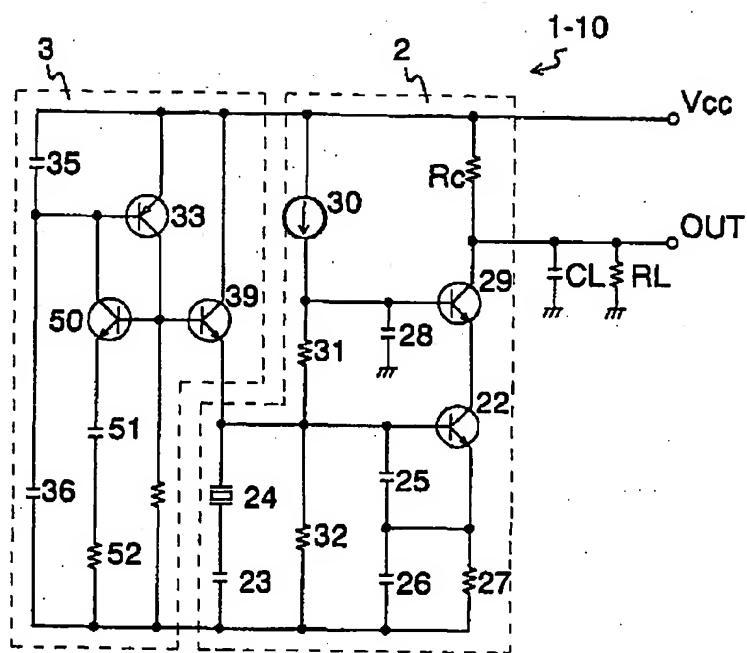
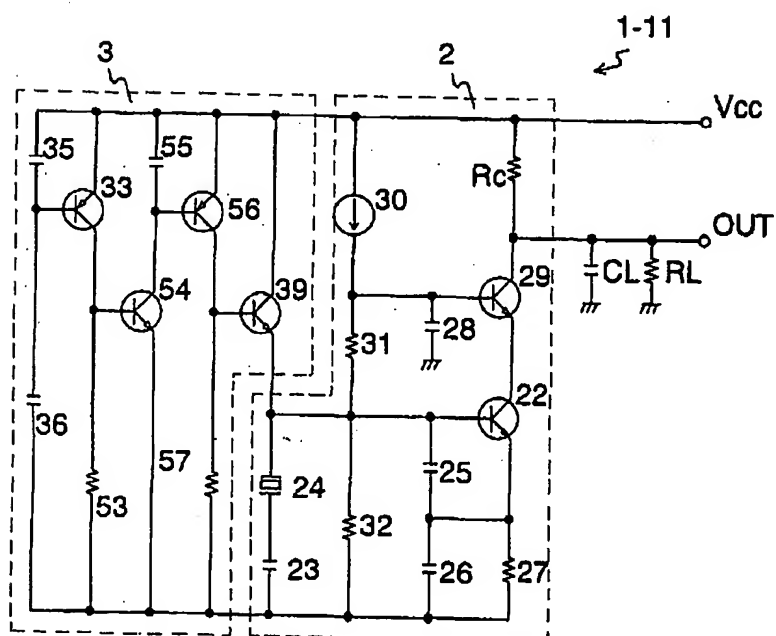


図 15



9 / 20

図 16

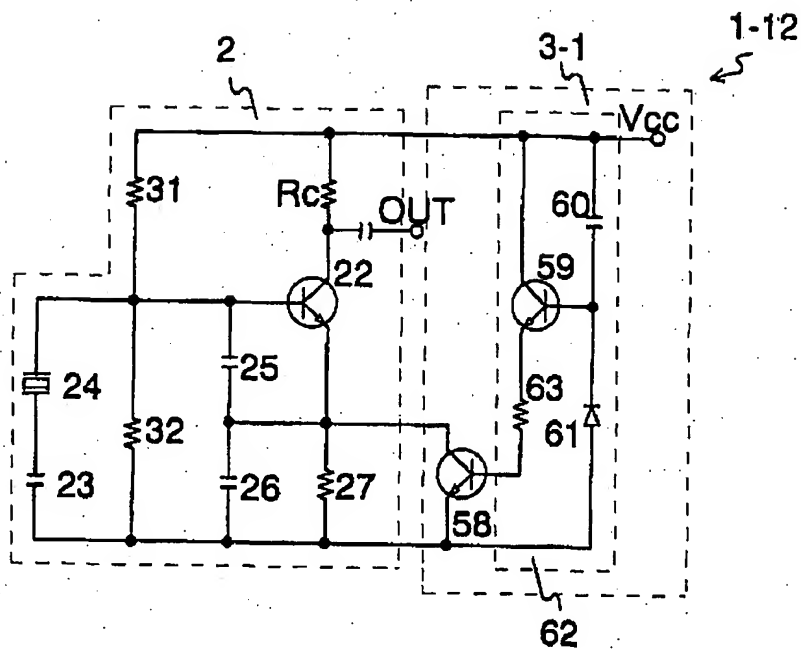
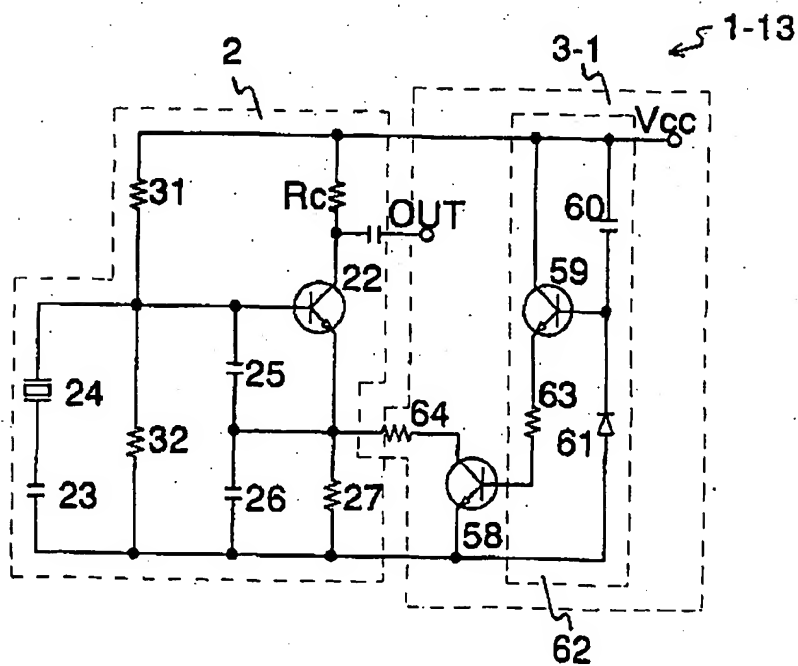


図 17



10/20

図 18

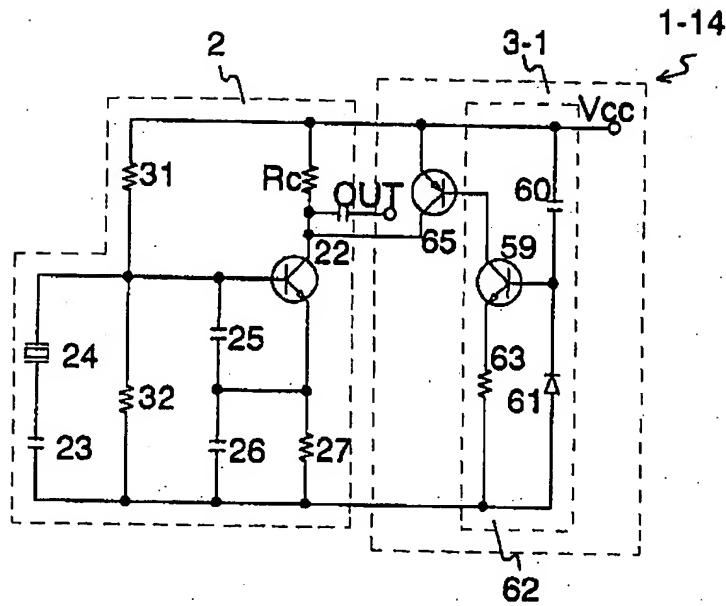
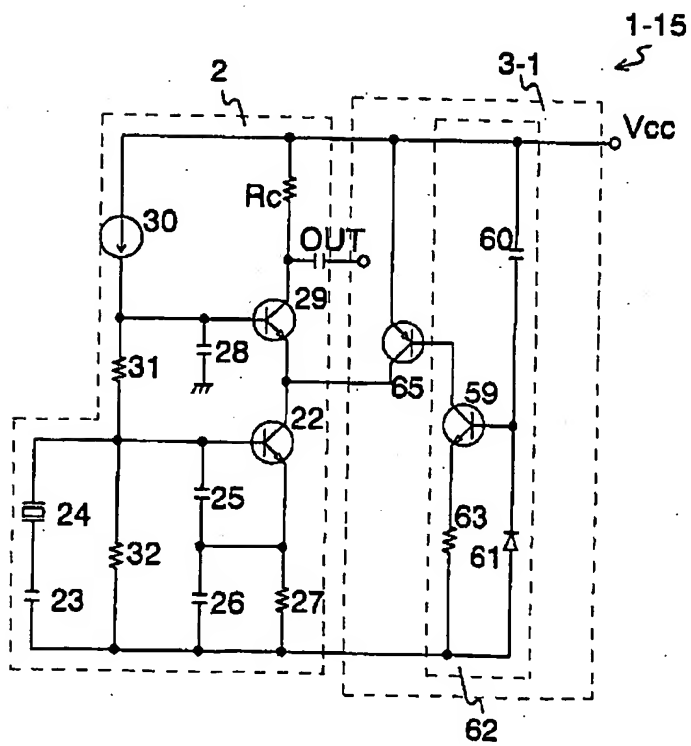


図 19



11/20

図 20

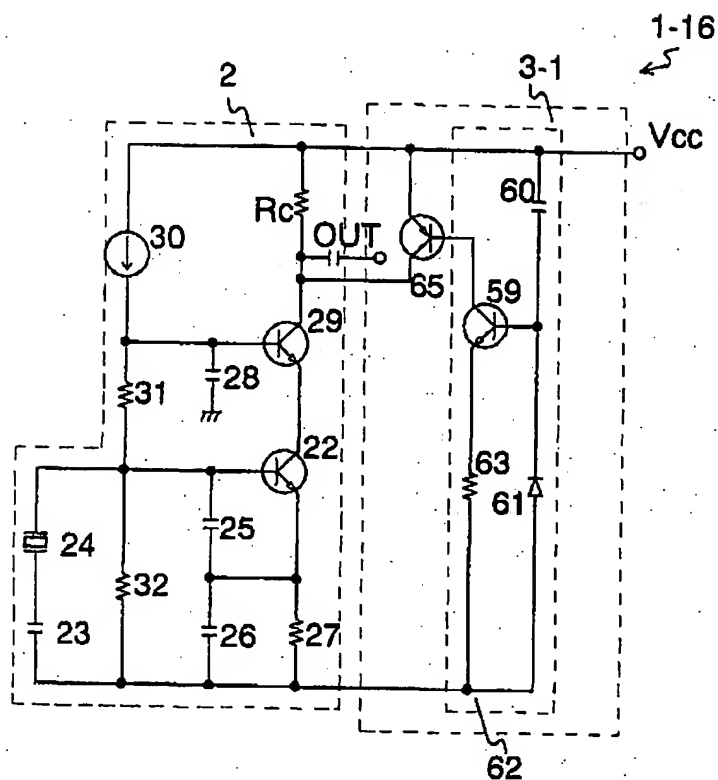
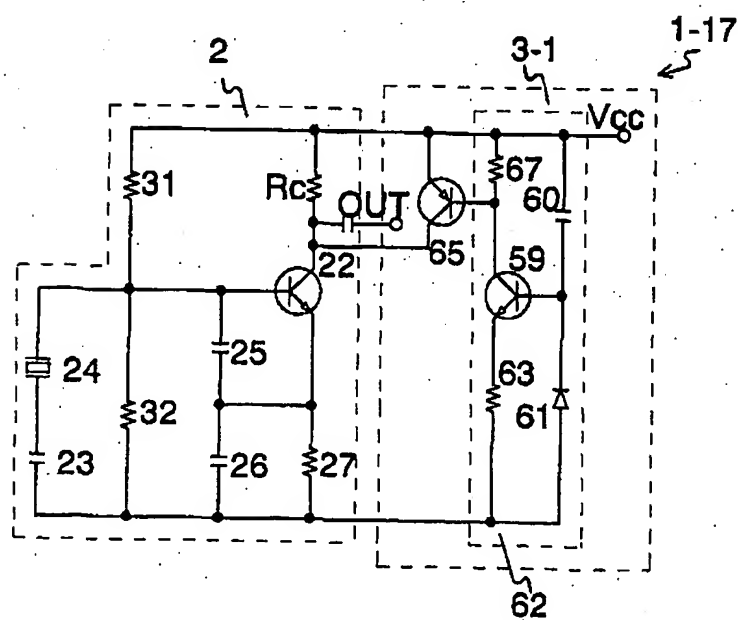


図 21



12/20

図 2 2

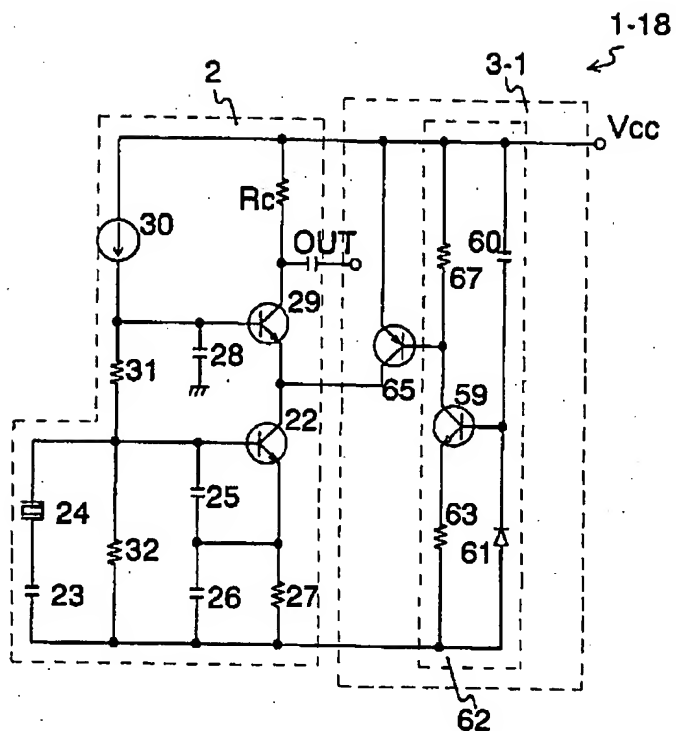
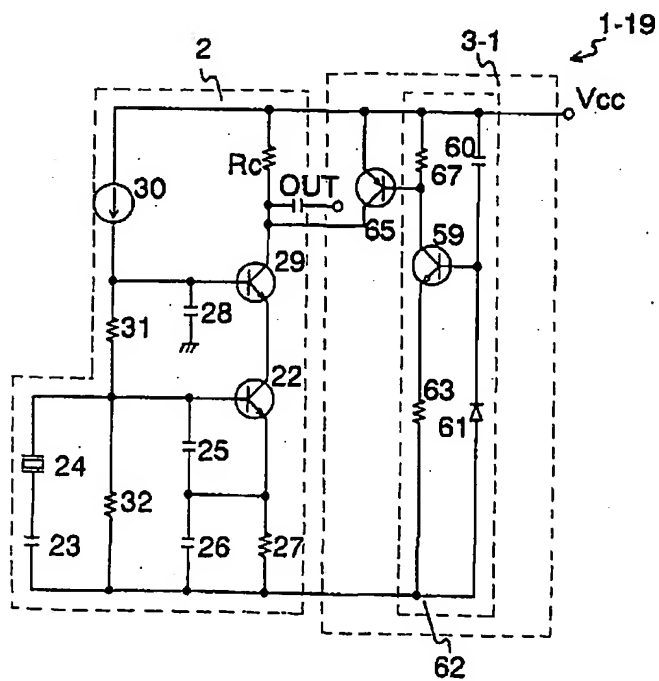


図 2 3



13/20

図 2 4

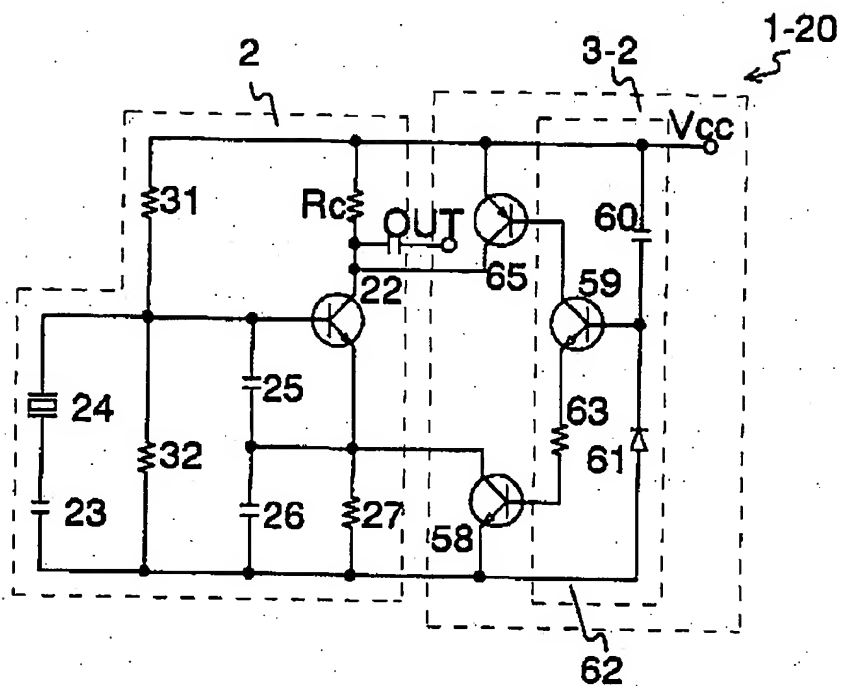
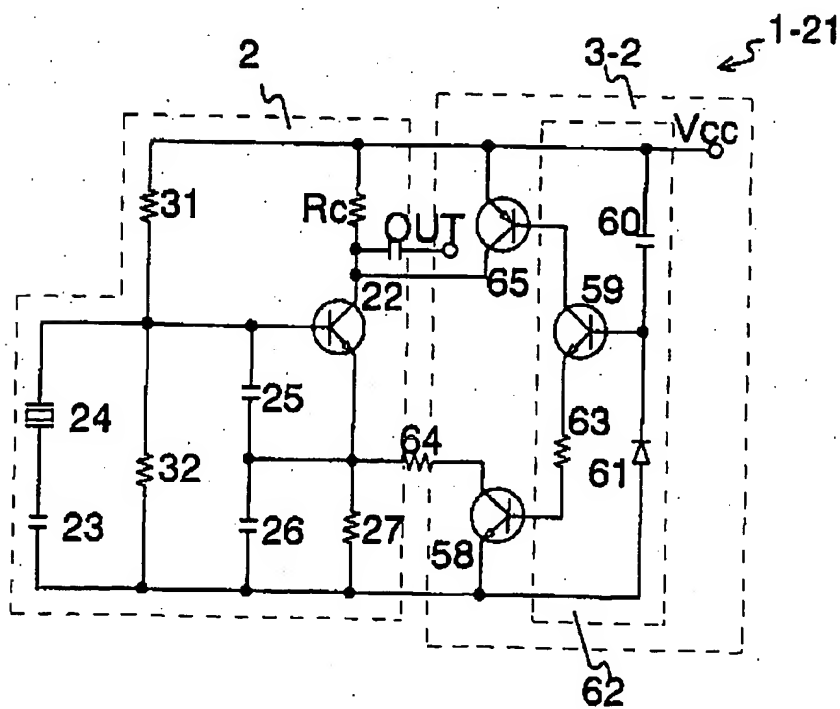


図 2 5



14/20

図 2 6

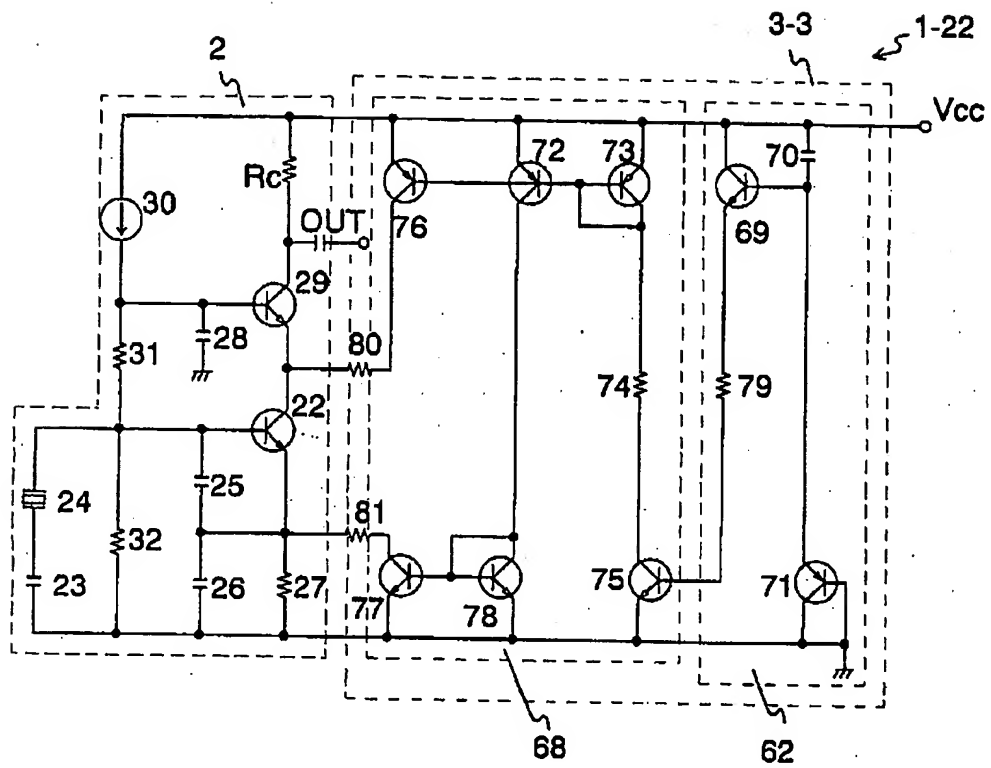
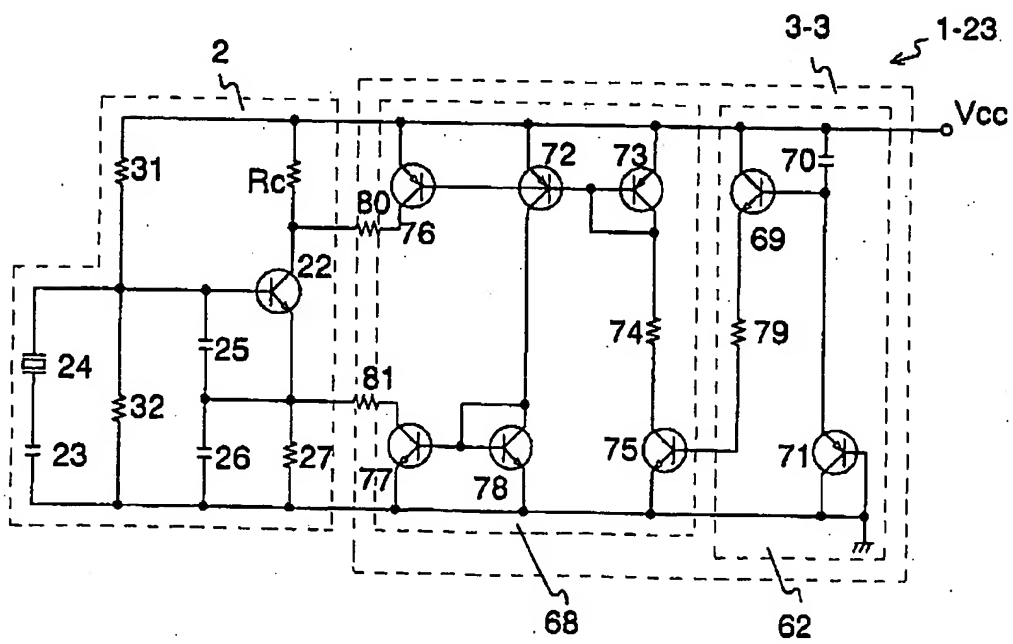


図 2 7



15/20

图 28

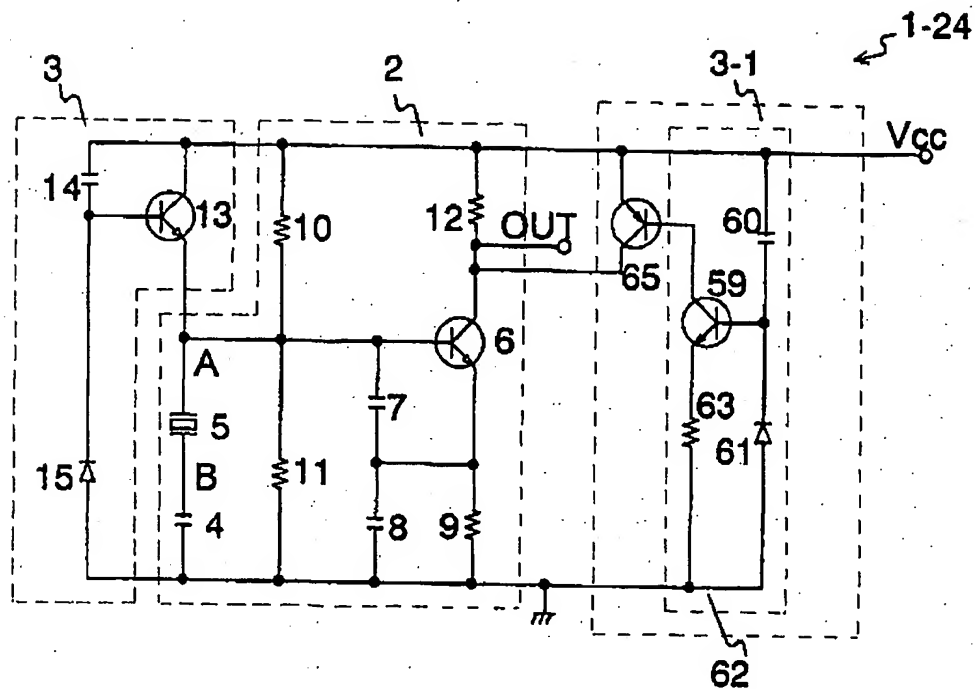
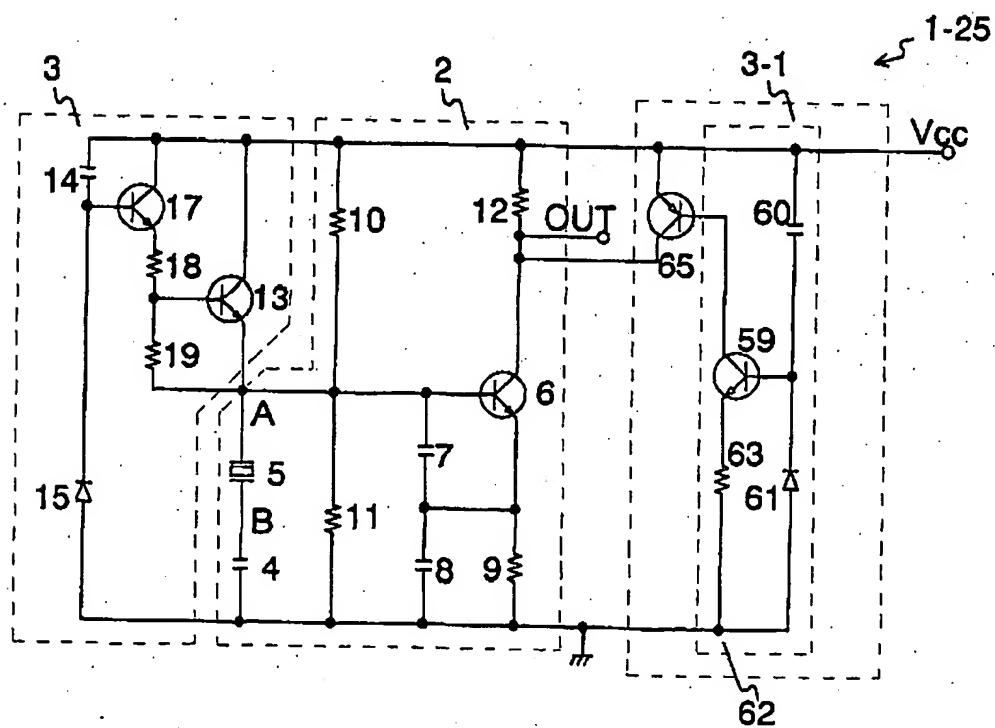


图 29



16/20

図 30

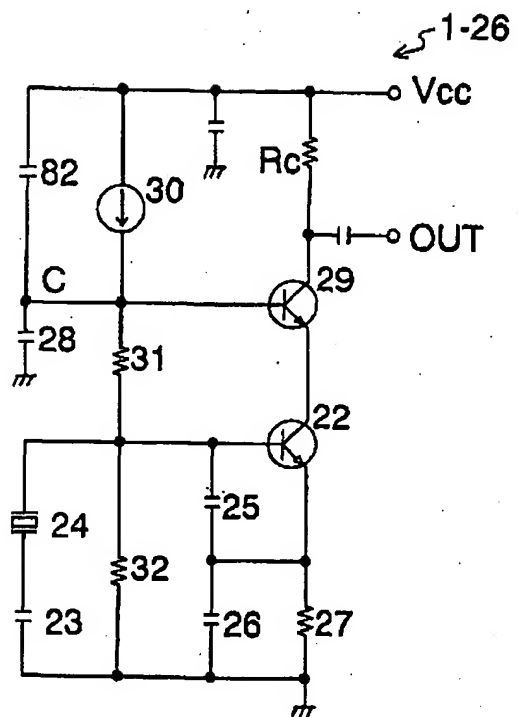
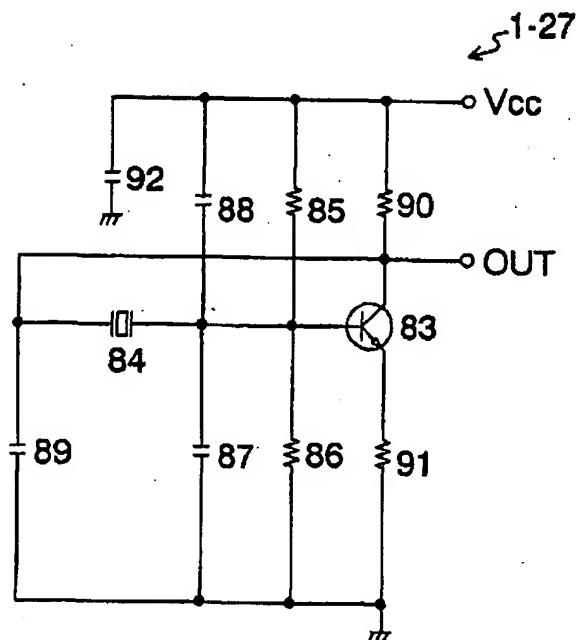


図 31



17/20

図 3 2

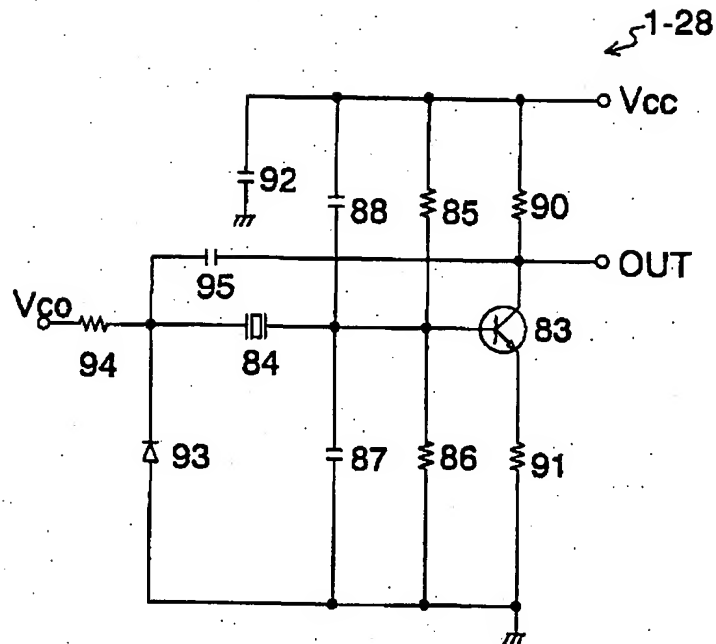
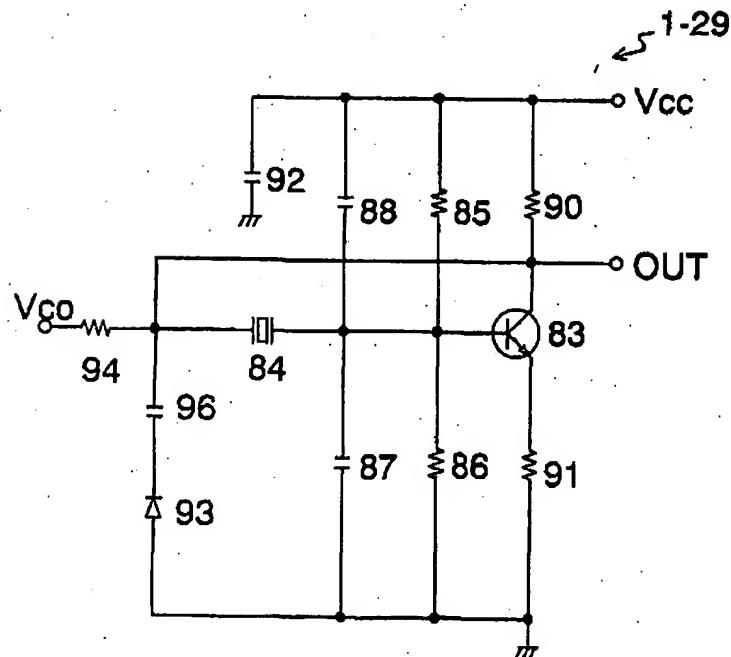


図 3 3



18/20

図 3 4

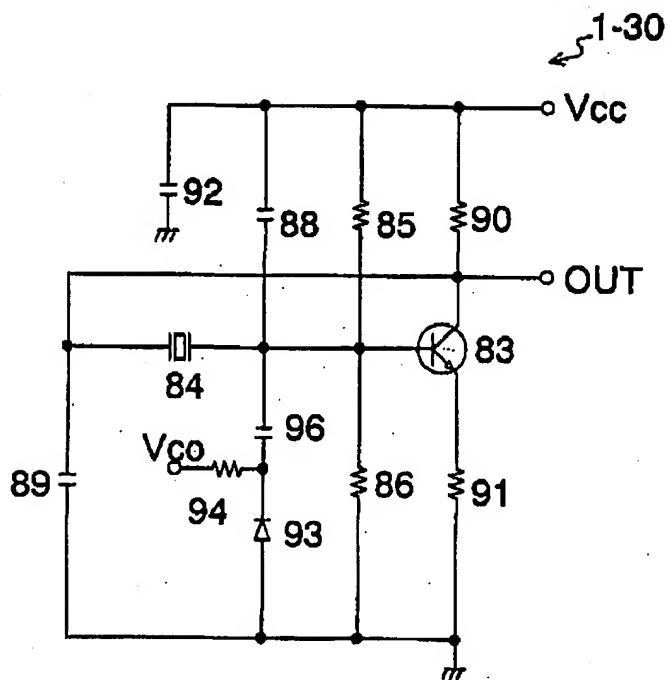
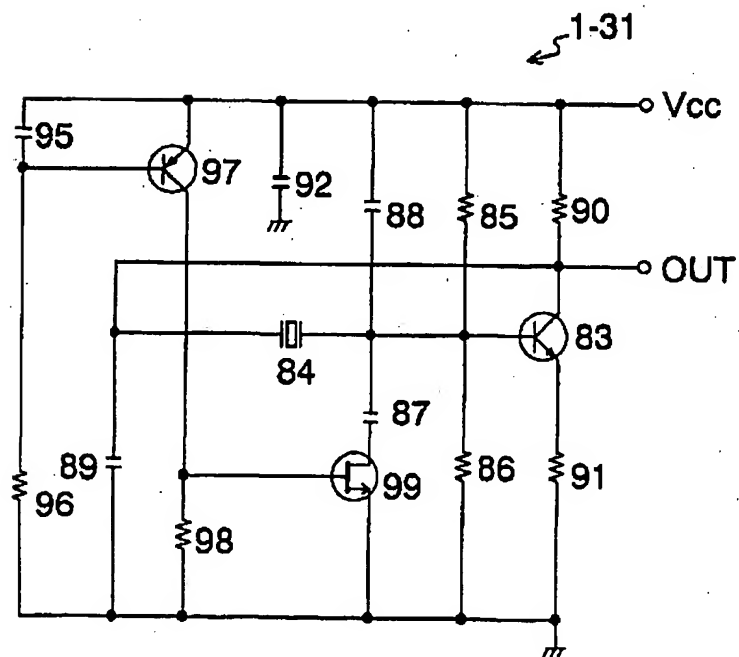


図 3 5



19/20

図 3 6

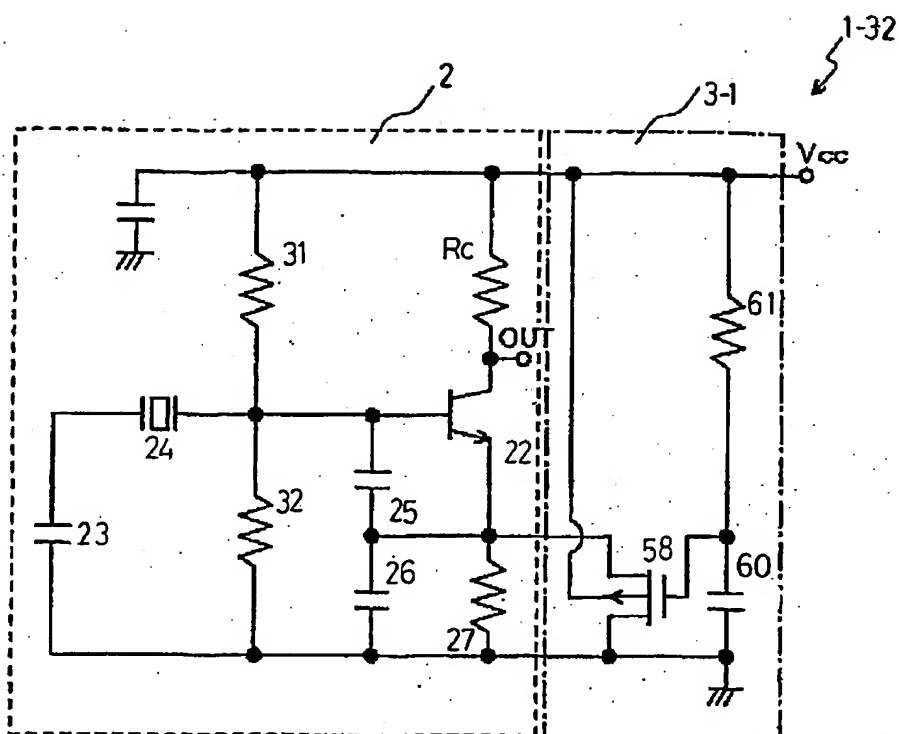
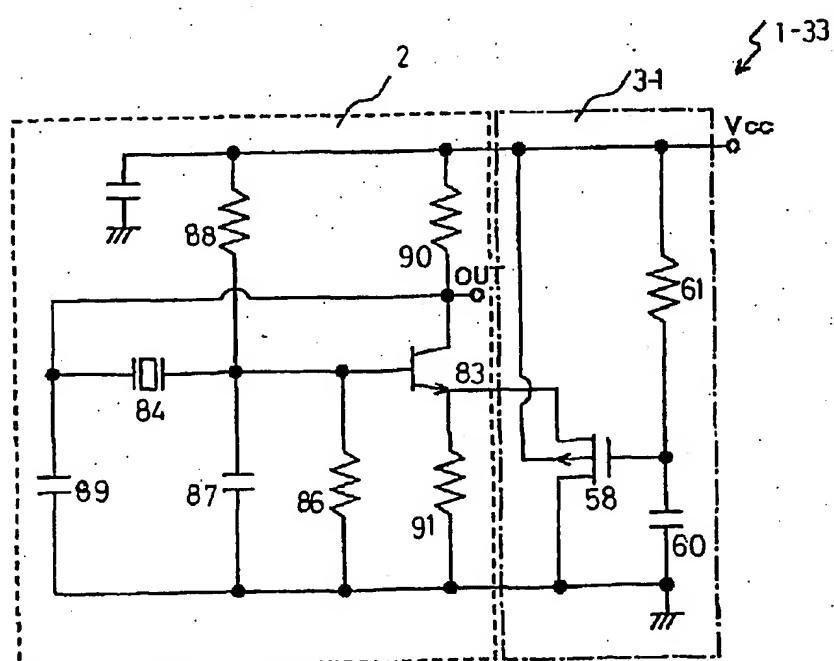
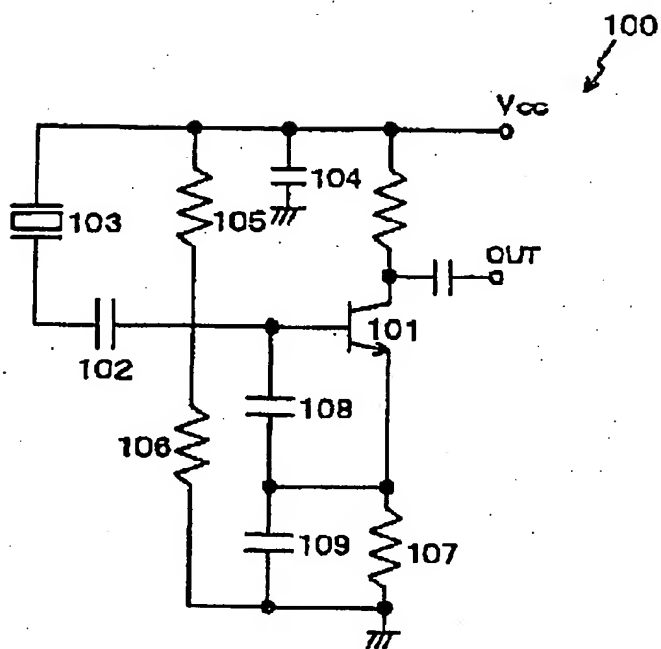


図 3 7



20/20

図 38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06161

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03B 5/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03B 5/32Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|--|
| X Y | JP 54-23456 A (Seiko Instr. & Electronics Ltd.), 22 February, 1979 (22.02.79) (Family: none) | 1-3 41, 42 |
| X Y | JP 54-183256 U (Mitsubishi Electric Corporation), 26 December, 1979 (26.12.79) (Family: none) | 1 2 |
| X Y | JP 61-287303 A (Hitachi, Ltd.), 17 December, 1986 (17.12.86) (Family: none) | 1 2 |
| X Y | JP 59-137611 U (Icom Incorporated), 13 September, 1984 (13.09.84) | 16, 22 23-26, 28, 30, 32, 34, 36, 38, 40-42 |
| X Y | JP 59-75706 A (Oki Electric Industry Co., Ltd.), 28 April, 1984 (28.04.84) (Family: none) | 16-18, 20-22, 28, 30 19, 23-27, 29, 31-42 |
| X Y | JP 62-225004 A (Matsushita Electric Ind. Co., Ltd.), 03 October, 1987 (03.10.87) (Family: none) | 22 16-21, 23-42 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
25 September, 2001 (25.09.01)Date of mailing of the international search report
09 October, 2001 (09.10.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06161

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|--|
| X | JP 59-214305 A (Toshiba Corporation), 04 December, 1984 (04.12.84) (Family: none) | 16-18, 20-22, 28, 30, 32, 34, 36, 38 |
| Y | | 19, 23-27, 29, 31, 33, 35, 37, 39-42 |
| X | JP 62-225006 A (Matsushita Electric Ind. Co., Ltd.), 03 October, 1987 (03.10.87) (Family: none) | 16, 18, 20-22, 28, 30 |
| Y | | 19, 23-27, 29, 31-42 |
| X | JP 2-277317 A (Matsushita Electric Ind. Co., Ltd.), 13 November, 1990 (13.11.90) (Family: none) | 16, 22 23-42 |
| Y | | |
| X | JP 2-113606 A (Olympus Optical Company Limited), 25 April, 1990 (25.04.90) (Family: none) | 16-22, 28, 30, 32, 34, 36, 38 |
| Y | | 23-27, 29, 31, 33, 35, 37, 39, 40-42 |
| X | JP 2-122705 A (NEC Corporation), 10 May, 1990 (10.05.90) (Family: none) | 16-22, 28, 30, 32, 34, 36, 38 |
| Y | | 23-27, 29, 31, 33, 35, 37, 39-42 |
| X | JP 4-70101 A (Fujitsu Limited), 05 March, 1992 (05.03.92) (Family: none) | 16-18, 20-24, 27-31 |
| Y | | 19, 25, 26, 32-42 |
| X | JP 11-220328 A (Kinseki Ltd.) 10 August 1999 (10.08.99) (Family: none) | 16, 22 23-40 |
| Y | | |
| E, X | JP 2001-185952 A (Toyo Communication Equipment Co., Ltd.), 06 July, 2001 (06.07.01) (Family: none) | 1 |
| E, X | JP 2000-332537 A (Toyo Communication Equipment Co., Ltd.), 30 November, 2000 (30.11.00) (Family: none) | 16, 17, 20, 21 |
| A | JP 11-317623 A (Seiko Epson Corporation), 16 November, 1999 (16.11.99) (Family: none) | 16-42 |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06161

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☒ Claims Nos.: 4-15
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

Although inventions in these claims relate to "outputting a start prompting voltage having rise characteristics steeper than those of a power supply voltage Vcc", Vcc itself is mere power supply voltage of which rise characteristics are not referred to in the specifications and therefore claims are unclear in meaning. In addition, subject matters in these claims do not sufficiently disclose a circuit structure and how the descriptions in the embodiments correspond to the drawings is unclear, thus inventions not being disclosed clearly.
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

| | | |
|--|---|------------------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03B 5/32 | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03B 5/32 | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年 | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| X Y | J P 54-23456 A (株式会社第二精工舎) 22. 2月. 1979 (22. 02. 79) (ファミリーなし) | 1-3 41, 42. |
| X Y | J P 54-183256 U (三菱電機株式会社) 26. 12月. 1979 (26. 12. 79) (ファミリーなし) | 1 2 |
| X Y | J P 61-287303 A (株式会社日立製作所) 17. 12月. 1986 (17. 12. 86) (ファミリーなし) | 1 2 |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 | | |
| 国際調査を完了した日 25. 09. 01 | 国際調査報告の発送日 09.10.01 | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 板橋 通孝 電話番号 03-3581-1101 内線 6511 | |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|--|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| X Y | J P 59-137611 U (アイコム株式会社) 13. 9月. 1984 (13. 09. 84) | 16, 22 23-26, 28, 30, 32, 34, 36, 38, 40-42 |
| X Y | J P 59-75706 A (沖電気工業株式会社) 28. 4月. 1984 (28. 04. 84) (ファミリーなし) | 16-18, 20-22, 28, 30 19, 23-27, 29, 31-42 |
| X Y | J P 62-225004 A (松下電器産業株式会社) 3. 10月. 1987 (03. 10. 87) (ファミリーなし) | 22 16-21, 23-42 |
| X Y | J P 59-214305 A (株式会社東芝) 4. 12月. 1984 (04. 12. 84) (ファミリーなし) | 16-18, 20-22, 28, 30, 32, 34, 36, 38 19, 23-27, 29, 31, 33, 35, 37, 39-42 |
| X Y | J P 62-225006 A (松下電器産業株式会社) 3. 10月. 1987 (03. 10. 87) (ファミリーなし) | 16, 18, 20-22, 28, 30 19, 23-27, 29, 31-42 |
| X Y | J P 2-277317 A (松下電器産業株式会社) 13. 11月. 1990 (13. 11. 90) (ファミリーなし) | 16, 22 23-42 |
| X Y | J P 2-113606 A (オリンパス光学工業株式会社) 25. 4月. 1990 (25. 04. 90) (ファミリーなし) | 16-22, 28, 30, 32, 34, 36, 38 23-27, 29, 31, 33, 35, 37, 39, 40-42 |
| X Y | J P 2-122705 A (日本電気株式会社) 10. 5月. 1990 (10. 05. 90) (ファミリーなし) | 16-22, 28, 30, 32, 34, 36, 38 23-27, 29, 31, 33, 35, 37, 39-42 |
| X Y | J P 4-70101 A (富士通株式会社) 5. 3月. 1992 (05. 03. 92) (ファミリーなし) | 16-18, 20-24, 27-31 19, 25, 26, 32-42 |

| C (続き) 関連すると認められる文献 | | |
|---------------------|---|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| X Y | JP 11-220328 A (キンセキ株式会社) 10. 8月. 1999 (10. 08. 99) (ファミリーなし) | 16, 22 23-40 |
| E, X | JP 2001-185952 A (東洋通信機株式会社) 6. 7月. 2001 (06. 07. 01) (ファミリーなし) | 1 |
| E, X | JP 2000-332537 A (東洋通信機株式会社) 30. 11月. 2000 (30. 11. 00) (ファミリーなし) | 16, 17, 20, 21 |
| A | JP 11-317623 A (セイコーエプソン株式会社) 16. 11月. 1999 (16. 11. 99) (ファミリーなし) | 16-42 |

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☒ 請求の範囲 4-15 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
これらの請求項に係る発明は、「電源電圧Vccの立ち上がり特性よりも急峻な立ち上がり特性を有した起動促進用電圧を出力する」ものであるが、Vcc自体は単なる電源電圧であって、明細書に、その立ち上がり特性自体について言及されておらず、文意が不明である。同時に、これら請求項の記載は回路構造が充分開示されておらず、また、実施例の説明及び図面との対応も不明であって、発明が明確に開示されていない。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。